Bidang Ilmu: Teknik

LAPORAN
PENELITIAN KOMPETITIF FAKULTAS

DESAIN DAN IMPLEMENTASI LOW NOISE AMPLIFIER UNTUK
APLIKASI 4G LTE DIGITAL CELLULAR SYSTEM (DCS)

TIM PENELITI

Ketua Peneliti : Dr. Aodah Diamah, S.T., M.Eng. NIDK: 0019097802
Anggota Peneliti : Dr. Baso Maruddani, M.T. NIDN: 0002058301

Penelitian ini dibayai oleh Dana BLU
POK Fakultas Teknik Universitas Negeri Jakarta
Berdasarkan Surat Keputusan Pejabat Pembuat Komitmen Fakultas Teknik
Universitas Negeri Jakarta No. 453/UN39/KU.00.01/2020, Tanggal 4 Mei 2020
Dan Surat Perjanjian Penugasan Dekan Fakultas Teknik
Nomor 007a/5.FT/PP/V/2020, Tanggal 8 Mei 2020

FAKULTAS TEKNIK
UNIVERSITAS NEGERI JAKARTA
NOVEMBER 2020
LAPORAN
PENELITIAN KOMPETITIF FAKULTAS

DESAIN DAN IMPLEMENTASI LOW NOISE AMPLIFIER UNTUK
APLIKASI 4G LTE DIGITAL CELLULAR SYSTEM (DCS)

TIM PENELITI
Ketua Peneliti : Dr. Aodah Diamah, S.T., M.Eng.  NIDK: 0019097802
Anggota Peneliti : Dr. Baso Maruddani, M.T.  NIDN: 0002058301

Penelitian ini dibiayai oleh Dana BLU
POK Fakultas Teknik Universitas Negeri Jakarta
Berdasarkan Surat Keputusan Pejabat Pembuat Komitmen Fakultas Teknik
Universitas Negeri Jakarta No. 453/UN39/KU.00.01/2020, Tanggal 4 Mei 2020
Dan Surat Perjanjian Penugasan Dekan Fakultas Teknik
Nomor 007a/5.FT/PP/V/2020, Tanggal 8 Mei 2020

FAKULTAS TEKNIK
UNIVERSITAS NEGERI JAKARTA
NOVEMBER 2020
HALAMAN PENGESAHAN
PENELITIAN KOMPETITIF FAKULTAS


Kode Bidang Ilmu : 453 / Teknik Telekomunikasi

Identitas Ketua Peneliti :
  b. NIDN : 0019097802
  c. Jabatan Fungsional : Asisten Ahli
  d. Program Studi : Pendidikan Teknik Elektronika
  e. Nomor HP : 081219749204
  f. Alamat Surel : adiamah@unj.ac.id

Identitas Anggota Peneliti 1 :
  a. Nama Lengkap : Dr. Baso Maruddani, M.T.
  b. NIDN : 0002058301
  c. Jabatan Fungsional : Lektor
  d. Program Studi : Pendidikan Teknik Elektronika

Biaya Penelitian Keseluruhan : Rp. 40.000.000 ( Lima Puluh Juta Rupiah )

Mengetahui,
Dekan Fakultas Teknik UNJ

Jakarta, 10 November 2020
Ketua Peneliti,

[Signature]

Dr. Uswatun Hasanah, M.Si
NIP. 196703261994032001

Menyetujui,
Ketua Lembaga Penelitian dan Pengabdian kepada Masyarakat
Universitas Negeri Jakarta

[Signature]

Dr. Aodah Diamah, S.T., M.Eng.
NIP. 197809192005012003

[Signature]

Dr. Ucu Cahyana, M.Si
NIP. 196608201994031002
# DAFTAR ISI

<table>
<thead>
<tr>
<th>Halaman</th>
<th>Isi</th>
</tr>
</thead>
<tbody>
<tr>
<td>ii</td>
<td>HALAMAN PENGESAHAN</td>
</tr>
<tr>
<td>iii</td>
<td>DAFTAR ISI</td>
</tr>
<tr>
<td>vi</td>
<td>RINGKASAN</td>
</tr>
<tr>
<td>1</td>
<td>BAB I PENDAHULUAN</td>
</tr>
<tr>
<td></td>
<td>I.1. Latar Belakang</td>
</tr>
<tr>
<td>3</td>
<td>I.2. State of the Art</td>
</tr>
<tr>
<td>3</td>
<td>I.3. Rumusan Masalah dan Pembatasan Masalah</td>
</tr>
<tr>
<td>4</td>
<td>I.4. Tujuan Penelitian</td>
</tr>
<tr>
<td>5</td>
<td>BAB II TINJAUAN PUSTAKA</td>
</tr>
<tr>
<td></td>
<td>II.1. Kajian Teori</td>
</tr>
<tr>
<td></td>
<td>II.1.1. Low Noise Amplifier (LNA)</td>
</tr>
<tr>
<td>11</td>
<td>II.1.2. DC Bias Transistor</td>
</tr>
<tr>
<td>20</td>
<td>II.1.3. Bias JFET LNA</td>
</tr>
<tr>
<td>26</td>
<td>II.1.4. Impedansi Matching</td>
</tr>
<tr>
<td>29</td>
<td>II.1.5. Konfigurasi LNA</td>
</tr>
<tr>
<td>31</td>
<td>II.2. Peta Jalan Penelitian</td>
</tr>
<tr>
<td>32</td>
<td>II.3. Kajian Hasil Hasil Penelitian</td>
</tr>
<tr>
<td>34</td>
<td>BAB III METODE PENELITIAN DAN TANAP PERENCANAAN</td>
</tr>
<tr>
<td>34</td>
<td>III.1. Metode Penelitian</td>
</tr>
<tr>
<td>37</td>
<td>III.2. Tahap Perencanaan</td>
</tr>
<tr>
<td>37</td>
<td>III.2.1. Penentuan Karakteristik LNA</td>
</tr>
<tr>
<td>38</td>
<td>III.2.2. Pemilihan Jenis Transistor</td>
</tr>
<tr>
<td>39</td>
<td>III.2.3. Penentuan Jenis DC Biasing</td>
</tr>
</tbody>
</table>
III.2.4. Penentuan Konfigurasi LNA ............................................. 41
III.2.5. Penentuan Jumlah Stage (Tingkat) ................................... 42
III.2.6. Penentuan Jenis Impedance Matching ................................ 42
III.3. Tahap Desain Produk ........................................................ 44
   III.3.1. Desain LNA dengan Advanced Design System 2009 ....... 44
   III.3.2. Validasi Desain LNA .................................................... 45
   III.3.3. Desain Layout Rangkaian LNA dengan Altium 2009 .... 46

BAB IV HASIL SIMULASI, PENGUKURAN DAN ANALISIS ............. 47
   IV.1. Hasil Pengujian Transistor Pada ADS ............................... 47
   IV.2. Hasil Nilai Resistor pada Bias Transistor ................................ 48
   IV.3. Hasil Penyesuaian Nilai C\text{\textsubscript{blocking}}, C\text{\textsubscript{bypass}} dan L\text{\textsubscript{blocking}} .................. 49
   IV.4. Hasil Penyesuaian Jumlah Stage ..................................... 51
   IV.5. Hasil Nilai Komponen Penyesuai Impedansi ....................... 54
      IV.5.1. Penyesuai Impedansi Input ........................................ 55
      IV.5.2. Penyesuai Impedansi Output ..................................... 58
   IV.6. Hasil Akhir Rangkaian LNA ............................................. 61
   IV.7. Hasil Desain Layout LNA Pada Altium 2009 ....................... 63
   IV.8. Hasil Simulasi LNA Pada ADS 2009 ................................ 64
      IV.8.1. S\text{\textsubscript{11}} (Input Return Loss) ......................... 64
      IV.8.2. S\text{\textsubscript{22}} (Output Return Loss) ..................... 65
      IV.8.3. S\text{\textsubscript{21}} (Gain) ............................................ 66
      IV.8.4. Noise Figure ......................................................... 66
      IV.8.5. Kestabilan Transistor (K) ....................................... 67
      IV.8.6. VSWR Input & Output ............................................. 67
      IV.8.7. Impedansi Input & Output ....................................... 68
   IV.9. Hasil Fabrikasi LNA ....................................................... 68
iv
IV.10. Hasil Pengukuran dengan Vector Network Analyzer ............................ 70

IV.10.1. Pengukuran $S_{11}$ (Input Return Loss) ........................................ 70

IV.10.2. Pengukuran VSWR Input .............................................................. 71

IV.10.3. Pengukuran $S_{22}$ (Output Return Loss) ....................................... 72

IV.10.4. Pengukuran VSWR Output ............................................................ 73

IV.10.5. Pengukuran $S_{21}$ (Gain) ............................................................... 74

IV.11. Perbandingan Hasil Simulasi Dengan Hasil Pengukuran LNA Desain Awal ................................................................. 75

BAB V KESIMPULAN DAN SARAN ............................................................. 81

V.1. Kesimpulan ............................................................................................ 81

V.2. Saran ...................................................................................................... 82

DAFTAR PUSTAKA ....................................................................................... 83
RINGKASAN


LTE didesain sebagai teknologi 4G yang mempunyai layanan kapasitas hingga gigabytes, data rate yang tinggi, penggunaan jaringan radio secara efisien dan tingkat latency yang rendah. Dengan kemampuan peak rate downlink sebesar 100 Mbps, teknologi LTE akan memenuhi kebutuhan layanan mobile broadband (MBB) seperti akses internet broadband, on-line TV, blogging, social network dan interactive gaming.

Berdasarkan perkembangan perangkat pendukung sistem LTE, salah satu hal yang penting adalah *low noise amplifier* (LNA). LNA adalah sebuah bagian dari sistem yang berfungsi menguatkan sinyal yang diterima namun dengan meminimalkan pengaruh noise/derau. Saat ini, tipe LNA yang umum digunakan adalah LNA-1822, namun penggunaan tipe LNA-1822 yang terdapat di pasaran masih belum maksimal karena gain rata-rata yang dihasilkan hanya berkisar 17,5 dB. Umumnya juga, LNA menggunakan sistem single stage, sehingga nilai gain yang dihasilkan tidak terlalu besar, noise figure yang besar dan faktor kestabilan yang rendah. Oleh karenanya, penelitian ini bertujuan untuk meningkatkan gain dari LNA dengan menggunakan metode multistage yaitu menyusun rangkaian LNA menggunakan konfigurasi cascade dapat sehingga diharapkan dapat menghasilkan nilai gain yang tinggi (mengikuti jumlah stage yang digunakan), menurunkan nilai noise figure dan meningkatkan kestabilan rangkaian LNA. LNA yang dirancang direncanakan bekerja pada LTE FDD *band* 3, yang digunakan oleh *digital cellular system* (DCS) pada frekuensi 1805–1880 MHz.

*Kata kunci: Low noise amplifier, multistage, gain, LTE, FDD, DCS*
BAB I
PENDAHULUAN

I.1. Latar Belakang


LNA untuk penggunaan frekuensi 1800 MHz sudah terdapat di pasaran, contohnya tipe LNA-1822 produksi RF Bay, Inc., dengan rentang frekuensi 1800-2200 MHz, gain rata-rata yang dihasilkan 17,5 dB dan noise figure yang dihasilkan 1,4 dB. Gain yang dihasilkan oleh LNA tersebut dapat dikatakan masih belum maksimal untuk diterapkan pada LTE. Menurut Uke, dkk (2012: 172-174) menyatakan dalam perencanaan jaringan LTE membutuhkan gain sebesar 18 dB.

Dalam memenuhi tingginya gain, rangkaian Low Noise Amplifier dapat dirancang dengan beberapa metode, salah satunya adalah dengan menyesun rangkaian LNA menggunakan konfigurasi cascade (menambahkan stage/tingkat). Menurut Sulistyo (2008) dalam skripsinya menyatakan, gain yang dihasilkan pada LNA single stage adalah 16 dB sedangkan pada LNA dengan 3 stage dapat menghasilkan gain sebesar 44-45 dB. Dengan adanya metode tersebut dapat menjadi penelitian yang menarik dalam bidang LNA. Maka dari itu, untuk pemilihan transistor, perancangan serta pemasangan komponen LNA haruslah tepat dan benar, agar gain yang dihasilkan besar dan tingkat noise yang dihasilkan seminimal mungkin.
I.2. State of the Art

Penelitian mengenai desain LNA sudah banyak dilakukan, diantaranya adalah (Liao & Yang, 2016). (Liao & Yang, 2016) mengembangkan sebuah LNA CMOS dengan rentang frekuensi yang cukup lebar, yaitu 3 GHz. Frekuensi kerja yang lebar (wideband) dalam beberapa aplikasi justru dapat menambah daya noise sehingga menurunkan nilai signal to noise ratio (SNR). Penelitian lain juga dilakukan oleh (Koringa, Joshi, & Shah, 2015), yaitu mendesain sebuah LNA dengan spektrum frekuensi yang juga cukup lebar, yaitu 7 GHz. Namun kelebihan pada (Koringa et al., 2015) ini adalah gain yang cukup tinggi hingga 30 dB.

Di Indonesia sendiri, pengembangan LNA juga dilakukan oleh (Sidik, Fathany, & Alam, 2016), yaitu mendesain LNA dengan menggunakan metode class A bias circuit. Namun, perbedaan yang dilakukan dengan penelitian kali ini adalah (Sidik et al., 2016) ini mendesain LNA untuk LTE TDD dengan frekuensi 2,3 GHz. Noise figure yang didapatkan cukup rendah namun gain yang dihasilkan juga tidak terlalu tinggi. Simulasi desain dilakukan dengan menggunakan Advance Design System (ADS). Pengembangan LNA juga dilakukan oleh (Laaouane, Foshi, & Bri, 2017) namun pada base station receiver pada frekuensi 2,6 GHz.

Penelitian ini akan mendesain sebuah LNA dimana LNA yang didesain dan diimplementasikan dapat digunakan pada 4G LTE dengan metode FDD pada band 3 yang digunakan oleh Digital Cellular System (DCS), yaitu pada frekuensi 1805 – 1880 MHz. Rentang frekuensi LNA yang didesain tidak begitu lebar untuk menghindari noise yang tinggi. Metode yang digunakan pada desain LNA ini menggunakan metode multistage untuk meningkatkan gain.

I.3. Rumusan Masalah dan Pembatasan Masalah

Perumusan masalah pada penelitian ini adalah bagaimana merancang, membuat dan mengukur parameter Low Noise Amplifier yang mampu bekerja pada jangkauan frekuensi 1805 – 1880 MHz dengan spesifikasi Gain > 18 dB, Noise Figure < 1 dB, Input dan Output Return Loss < -10 dB, VSWR < 2 dan faktor kestabilan > 1 menggunakan perangkat lunak Advanced Design System
2009 dan perangkat uji Vector Network Analyzer?

Penelitian ini difokuskan pada perancangan dan pengukuran Low Noise Amplifier yang bekerja pada jangkauan frekuensi 1805 – 1880 MHz menggunakan perangkat lunak Advanced Design System (ADS) dan perangkat uji Vector Network Analyzer dengan menggunakan konfigurasi cascade (menambahkan stage/tingkat) pada rangkaian LNA untuk menghasilkan Gain > 18 dB, Noise Figure < 1 dB, Input dan Output Return Loss < -10 dB, VSWR < 2 dan faktor kestabilan > 1.

I.4. Tujuan Penelitian

Penelitian ini bertujuan untuk mendesain dan mengimplementasikan sebuah LNA yang dapat digunakan pada frekuensi 1805 – 1880 MHz yang merupakan frekuensi yang digunakan pada LTE FDD digital cellular system (DCS) dengan gain yang tinggi, noise figure rendah, return loss kecil dan faktor kestabilan di atas 1.

Dengan berhasilnya dikembangkan LNA seperti spesifikasi yang dijelaskan di atas, diharapkan penerimaan daya pada receiver lebih optimal karena nilai signal to noise ratio-nya akan besar dikarenakan LNA memperkuat daya sinyal namun dengan noise yang kecil.
BAB II
TINJAUAN PUSTAKA

II.1. Kajian Teori

II.1.1. Low Noise Amplifier (LNA)

LNA merupakan sebuah sub-sistem yang ditempatkan pada bagian front-end receiver, dekat dengan antena penerima. Sub-sistem ini dibutuhkan dalam sistem penerima karena sinyal yang diterima oleh antena pasti mengalami atenuasi atau pelemahan sehingga perlu dikuatkan kembali sebelum masuk ke tahap down conversion dan operasi baseband. Oleh karena itu untuk mendapatkan sinyal yang berkualitas, LNA yang dirancang harus memiliki nilai gain yang tinggi.

Dalam kenyataannya, tidak hanya daya saja yang mengalami atenuasi dalam sistem penerima, akan tetapi sinyal yang ditransmisikan juga akan terkena noise dari lingkungan maupun peralatan yang ada dalam sistem komunikasi. Dengan demikian, LNA sebagai salah satu sub-sistem dalam sistem penerima perlu dirancang dengan nilai noise figure (NF) yang kecil sehingga kontribusi penambahan noise pada sinyal yang dikuatkan tidak besar atau seminimal mungkin (Rogers dan Plett, 2003: 5). Berikut ini merupakan salah satu blok diagram dari LNA.

![Blok Diagram LNA](image)

Gambar 2.1 Blok Diagram LNA

Sinyal yang diterima melalui antena pengirim Tx ke antena penerima Rx akan diteruskan masuk ke BPF (Band Pass Filter) yang kemudian diperkuat oleh LNA (Low
Noise Amplifier) atau penguat berderau rendah, kemudian output LNA diteruskan ke image filter.

Dalam komunikasi nirkabel, LNA harus sanggup menerima sinyal yang sangat lemah dari pengirim dan harus mampu memperkuat sinyal tersebut sampai beberapa puluh dB agar dapat dicapai level yang cukup untuk diberikan ke perangkat penerima (Raharjo, 2011: 17). Untuk mendapatkan faktor noise yang kecil maka LNA harus memiliki nilai NF yang rendah dan gain yang tinggi. Kedua parameter tersebut sangatlah penting dalam merancang LNA, namun kita tidak bisa mengabaikan parameter-parameter lain seperti impedance matching, konsumsi daya dan linearitas. Secara ideal kita menginginkan LNA dengan nilai NF yang rendah, gain yang tinggi, impedance matching yang bagus ($\approx 50\,\Omega$), konsumsi daya yang rendah dan tingkat linearitas yang tinggi. Namun dalam kenyataannya tidak semua parameter tersebut dapat tercapai, terdapat tradeoffs di antara mereka (Zhiqiang, 2011: 344).

### II.1.1.1. Parameter Low Noise Amplifier (LNA)

Parameter-parameter penting yang perlu diperhatikan dalam merancang LNA antara lain gain, noise figure, return loss, VSWR, dan kestabilan.

#### A. Gain

$Gain$ merupakan perbandingan antara sinyal keluaran sistem terhadap sinyal masukan sistem. Istilah $gain$ merujuk pada perbandingan antara daya output terhadap daya inputnya atau dikenal sebagai $power\ gain$. Terdapat pula istilah $voltage\ gain$ yang merupakan perbandingan antara tegangan output terhadap tegangan inputnya. Keduanya mempunyai satuan yang sama yaitu $desibel\ (dB)$.

\[
Power\ gain:\ n\ dB = 10\ \log_{10}(P_2/P_1) \tag{2.1}
\]

\[
Voltage\ gain:\ n\ dB = 20\ \log_{10}(V_2/V_1) \tag{2.2}
\]

$Gain$ pada LNA dilambangkan dengan $S_{21}$ dimana $port\ 1$ sebagai $input$ sedangkan $port\ 2$ sebagai $output$. $Gain$ dari suatu LNA haruslah tinggi dan biasanya standar nilainya $> 10\ dB$. Hal ini sesuai dengan fungsi LNA yaitu untuk menguatkan sinyal yang diterima (Budiardhianto, 2015: 8) (Puspita, 2012: 6).
B. Noise Figure

Menurut Sayre (2008: 56), noise secara prinsip dibagi menjadi 2 jenis yaitu circuit generated dan externally generated. Keduanya dapat membatasi atau mengurangi sensitivitas dan gain dari receiver, keduanya tidak dapat dihindari namun masih bisa diupayakan untuk meminimalisasi nya. Untuk externally generated merupakan noise yang berasal dari energi luar, baik yang ditimbulkan dari benda yang di sekitarnya sehingga menimbulkan medan elektromagnetik (dimmer switches, car ignitions, electric engines, dll) maupun yang berasal dari faktor alam (atmospheric lightning, solar flares, sunspots, dll). Sedangkan circuit generated merupakan noise yang berasal dari internal sistem yang dapat didefinisikan sebagai noise yang disebabkan oleh pergerakan acak elektron komponen akibat energi panas (white noise) dan pergerakan acak elektron pada junction semiconductor atau transistor (shot noise). Sebuah LNA pasti akan menghasilkan noise akibat elektron-elektron yang bergerak acak (circuit noise). Kontribusi noise dari LNA biasanya dilambangkan dengan noise factor (F) yang dipresentasikan sebagai berikut:

\[ F = \frac{N_{in}^2 + N_{added}^2}{N_{in}^2} \]  

(2.3)

Dimana N_in adalah noise power dari sumber, dan N_added adalah noise power yang ditambahkan oleh sistem. Noise figure sendiri merupakan bentuk logaritmik dari nilai F (10 \( \log_{10} \) F). Selain itu, NF juga dapat direpresentasikan sebagai perbandingan antara SNR input terhadap SNR output. SNR (Signal to Noise Ratio) merupakan rasio perbandingan antara besarnya sinyal terhadap noise yang timbul. Persamaan yang menggambarkan NF ditunjukkan oleh:

\[ NF = 10 \log_{10} \left( \frac{S_{in}/N_{in}}{S_{out}/N_{out}} \right) \]  

(2.4)

Dimana S adalah signal power dan N adalah noise power dan ditentukan dalam bandwidth yang sama. Idealnya LNA mempunyai noise 0 dB (noiseless), namun dalam kenyataannya hal ini tidak mungkin. Suatu sistem pasti akan menghasilkan NF bernilai positif yang artinya terjadi degradasi SNR akibat noise yang dibangkitkan oleh sistem.
tersebut. Agar degradasi tidak terlalu besar, maka nilai NF dari LNA haruslah kecil, standar yang biasanya digunakan berkisar 2-3 dB.

**C. Input dan Output Return Loss**

Kondisi ketika beban tidak sesuai (mismatch) menyebabkan tidak semua daya yang berasal dari sumber dikirim ke beban. *Return loss* didefinisikan sebagai perbandingan antara amplitudo dari gelombang yang direfleksikan terhadap amplitudo gelombang yang dikirimkan. *Return loss* dapat terjadi akibat adanya diskontinuitas di antara saluran transmisi dengan impedansi masukan, sehingga tidak semua daya diradiasikan melainkan ada yang dipantulkan kembali.

*Return loss* pada masukan (input return loss) mengindikasikan terjadinya mismatch antara impedansi masukan LNA dengan impedansi karakteristik saluran transmisi. Begitu juga untuk *return loss* pada keluaran (output return loss) yang mengindikasikan terjadinya mismatch antara impedansi keluaran LNA dengan impedansi karakteristik saluran transmisi. Berikut ini merupakan suatu sistem dengan 2 port yang dihubungkan ke generator dan beban.

![Gambar 2.2 Two Port Network](image)

Ketika dalam sistem tersebut impedansi input ($Z_{in}$) tidak sama dengan impedansi karakteristik ($Z_{0}$) maka akan terdapat daya yang dipantulkan (akibat tidak *matching*). Perbandingan dari daya yang dipantulkan terhadap daya yang ditransmisikan disebut koefisien refleksi, yang mana apabila nilainya dikonversi dalam satuan dB maka disebut sebagai *return loss*. Koefisien refleksi pada port 1 (*input*) dituliskan sebagai berikut:

$$I_{in} = \frac{Z_{in} - Z_{0}}{Z_{in} + Z_{0}}$$  \hspace{1cm} (2.5)

Nilai $S_{11}$ (*input return loss*) dalam desibel (dB) direpresentasikan dengan:
\[ S11 \ (dB) = 20 \log_{10} |\Gamma_{in}| \]  

\[ I_{out} = \frac{z_{out}-z_0}{z_{out}+z_0} \]  

Nilai \( S_{22} \) (output return loss) dalam desibel (dB) direpresentasikan dengan:

\[ S22 \ (dB) = 20 \log_{10} |\Gamma_{out}| \]  

D. VSWR

VSWR (Voltage Standing Wave Ratio) merupakan rasio atau perbandingan antara amplitudo gelombang berdiri (standing wave) maksimum (\(|V_{max}|\)) dengan minimum (\(|V_{min}|\)). Munculnya gelombang berdiri ini, disebabkan oleh ketidakmatching di transmission line sehingga ada daya yang terdisipasi dalam bentuk panas. Dalam suatu saluran transmisi yang tidak matching muncul dua komponen gelombang tegangan, yaitu tegangan yang dikirimkan atau forward voltage \( (V_0^+) \) dan tegangan yang direfleksikan atau reflected voltage \( (V_0^-) \). Perbandingan antar keduanya menghasilkan istilah koefisien refleksi tegangan (\( \Gamma \)) yang dirumuskan sebagai berikut: (Pozar, 2012: 57)

\[ \Gamma = \frac{V_o^-}{V_0^+} = \frac{Z_L-Z_0}{Z_L+Z_0} \]  

Dimana :

\( \Gamma \) : koefisien refleksi tegangan  
\( V_o^- \) : tegangan yang dipantulkan (Volt)  
\( V_0^+ \) : tegangan yang dikirimkan (Volt)  
\( Z_L \) : impedansi beban atau load (Ohm)  
\( Z_o \) : impedansi saluran transmisi lossless (Ohm)

Koefisien refleksi tegangan (\( \Gamma \)) memiliki nilai kompleks, yang merepresentasikan besarnya magnitudo dan fasa dari refleksi. VSWR merupakan fungsi dari koefisien refleksi dan dirumuskan sebagai berikut: (Pozar, 2012: 58)

\[ VSWR = \frac{1+|\Gamma|}{1-|\Gamma|} \]  

Kondisi terbaik dicapai saat tidak ada disipasi panas atau loss yaitu saat nilai \( Z_L = Z_o \). Kondisi tersebut merupakan kondisi matching sempurna dengan nilai koefisien refleksi 0 dan VSWR 1. Namun dalam kenyataannya, kondisi ini sangat sulit dicapai.
Oleh karena itu dibuat nilai standar untuk VSWR yang diizinkan yaitu VSWR $\leq 2$. Nilai VSWR sebesar 2 sama dengan $S_{11}$ atau $S_{22}$ sebesar -9.54 dB.

E. Kestabilan

Dalam merancang sebuah LNA, kestabilan menjadi parameter yang sangat penting karena berhubungan dengan masalah ketahanan device terhadap kondisi tertentu. Tujuan dari perancangan LNA yang ingin dicapai adalah kestabilan tanpa syarat (unconditionally stable) yang berarti berapapun nilai beban atau output dari perangkat, rangkaian tidak akan berisolasi (menjadi tidak stabil). Jika karakteristik ini tidak dicapai, LNA akan mengalami osilasi. Dampaknya adalah transistor menjadi tidak stabil dan mengalami osilasi yang menyebabkan pergeseran titik bias dari stage amplifier, konsumsi arus berlebih dan peningkatan disipasi daya sehingga pada akhirnya amplifier akan rusak (Budiardhianto, 2015: 10).

Pengertian dari unconditionally stable sendiri merupakan kondisi ketika bernilai $|\Gamma_{in}|$ dan $|\Gamma_{out}| < 1$ pada semua sumber pasif dan impedansi beban. Sedangkan conditionally stable atau potentially stable merupakan kondisi ketika bernilai $|\Gamma_{in}|$ dan $|\Gamma_{out}| < 1$ yang hanya berlaku untuk sumber pasif dan impedansi beban tertentu saja (Pozar, 2012: 564).


$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}| |S_{21}|}$$  \hspace{1cm} (2.11)

Dikatakan unconditionally stable jika $K > 1$ dan $|\Delta| < 1$ dimana

$$\Delta = S_{11}S_{22} - S_{12}S_{21}$$  \hspace{1cm} (2.12)

Salah satu cara untuk menstabilkan amplifier adalah dengan menambah resistansi yang disusun seri atau konduktansi yang disusun paralel pada input atau output port (Ludwig dan Bretchko, 2000: 480-481). Berikut ini merupakan stabilisasi port input dan output.
II.1.2. DC Bias Transistor


Rangkaian penguat (amplifier) dapat melipatgandakan sinyal input AC yang kecil, disebabkan karena rangkaian tersebut mendapatkan tegangan DC dari luar. Oleh karena itu, setiap analisis maupun perencanaan rangkaian penguat terdapat dua komponen, yaitu AC dan DC. Level DC dari suatu rangkaian menentukan titik kerja transistor yang digunakan.
Agar sebuah transistor mampu bekerja pada titik kerjanya, maka harus diaktifkan dengan rangkaian bias. Pertimbangan yang dilakukan pada sebuah rangkaian bias transistor agar memiliki karakteristik penguat yang baik diantaranya: (Firmansyah, 2012: 12)

1. Rangkaian bias harus memiliki kestabilan terhadap perubahan parameter *device* dan temperatur.
2. Rangkaian bias harus memiliki kemampuan untuk mengisolasi frekuensi tinggi agar tidak mengalir ke rangkaian bias.

Titik kerja merupakan titik tetap dalam sebuah kurva karakteristik dari sebuah transistor, yang biasanya disebut *quiescent point*. Pada gambar 2.5 menunjukkan titik-titik kerja dari sebuah transistor yaitu titik A, B, C dan D (Boylestad dan Nashelsky, 2013: 161).

![Gambar 2.5 Titik Kerja Transistor](image)

Jika rangkaian bias tidak digunakan, maka akan diperoleh nilai arus dan tegangan sebesar nol, seperti pada titik A. Titik B adalah pilihan yang terbaik karena berada pada daerah linear dan jauh dengan batas karakteristik. Pada titik kerja ini dapat dihasilkan pula amplifikasi. Sementara itu pada titik C, rangkaian transistor akan menghasilkan keluaran yang cenderung cacat karena berada pada daerah nonlinear. Pada titik D, transistor...
bekerja dekat dengan tegangan dan power yang maksimum sehingga dapat menyebabkan transistor akan cepat rusak.

II.1.2.1. *Field Effect Transistor* (FET)

Pada dasarnya transistor dapat dibagi menjadi 2 jenis yaitu transistor *bipolar* dan *unipolar*. Transistor bipolar (npn dan pnp) merupakan transistor yang memiliki 2 *charge carriers* yaitu holes dan electrons. Sedangkan transistor unipolar (n-channel dan p-channel) hanya memiliki salah satu saja dari 2 *charge carriers* tersebut. *Field Effect Transistor* atau biasa disingkat FET masuk ke dalam kategori transistor unipolar karena hanya memiliki satu jenis *carrier* saja yaitu electron (n-channel) atau hole (p-channel).

FET dan bipolar transistor (BJT) memiliki banyak kesamaan dalam hal aplikasi, yakni sama-sama dapat digunakan sebagai penguat sinyal. Namun kedua nya mempunyai perbedaan yang signifikan dalam cara kerjanya, dimana BJT merupakan current-controlled device yaitu arus kolektor $I_C$ merupakan fungsi langsung dari level arus basis $I_B$, sedangkan FET merupakan voltage-controlled device yaitu arus drain $I_D$ merupakan fungsi dari level tegangan $V_{GS}$ yang diterapkan (Boylestad dan Nashelsky, 2013: 378-379). Untuk lebih jelasnya dapat dilihat pada gambar berikut ini:

![Gambar 2.6 (a) Current-Controlled Amplifier dan (b) Voltage-Controlled Amplifier](image)

FET mempunyai karakteristik penting yaitu *high input impedance* sekitar satu sampai dengan ratusan Megaohm dimana jauh lebih tinggi dibanding *input impedance* pada BJT, sehingga FET mempunyai kelebihan untuk mendesain sistem amplifier AC linear. Tidak hanya itu saja kelebihan yang dimiliki FET, dengan konstruksi yang lebih kecil dan lebih stabil terhadap perubahan suhu membuatnya cocok untuk desain *chip integrated circuit* (IC) (Boylestad dan Nashelsky, 2013: 379).
II.1.2.2. Konstruksi dan Karakteristik JFET

JFET (Junction Field Effect Transistor) merupakan salah satu kategori dari FET (Field Effect Transistor). JFET adalah device tiga terminal dengan satu terminal mampu mengontrol arus diantara dua terminal yang lain. Ketiga terminal tersebut adalah gate (G), drain (D) dan source (S). JFET sendiri dibagi lagi menjadi 2 jenis berdasarkan jenis pembawa muatannya, yakni n-channel JFET dan p-channel JFET.

1. N-channel JFET

Gambar tersebut merupakan struktur dari n-channel JFET. Bagian utama dari JFET tipe ini adalah material dengan doping-n yang akan membentuk kanal diantara 2 layer berdoping p.

a. Saat diberi tegangan $V_{GS} = 0 \text{ V}$, $V_{DS}$ bernilai positif
Gambar 2.8 JFET Saat $V_{GS} = 0$ V dan $V_{DS} > 0$ V

Pada gambar tersebut, kanal-n diberi tegangan $V_{DS}$ positif dan terminal gate langsung dihubungkan ke terminal source sehingga $V_{GS}$ bernilai 0 V. Hasilnya, antara gate dan source memiliki potensial yang sama sehingga daerah depleksi pada material-p tidak lebar dan mirip seperti saat sebelum diberi bias. Penerapan tegangan $V_{DD}$ ($V_{DS}$) menyebabkan tertariknya elektron ke terminal drain sehingga terbentuk arus $I_D$. Pada kondisi ini, aliran muatan secara relatif tidak terhalangi tetapi arus dibatasi oleh adanya resistansi pada kanal-n di antara drain dan source (Boylestad dan Nashelsky, 2013: 380-381). Munculnya resistansi diilustrasikan pada gambar berikut ini:

Gambar 2.9 Variasi Tegangan Reverse Bias Pada p-n Junction Dari n-channel JFET

Terlihat daerah depleksi semakin lebar pada bagian atas dari material-p dan semakin ke bawah semakin menyempit. Dengan asumsi pada kanal n tersebut mempunyai resistansi yang beragam, kita dapat memecahkan resistansi tersebut dan arus $I_D$ akan
membentuk level-level tegangan. Hasilnya pada bagian atas material p akan mengalami reverse biased sebesar 1.5 V dan pada bagian bawah akan mengalami reverse biased 0.5 V.

Ketika tegangan $V_{DS}$ dinaikkan dari 0 V sampai beberapa volt, arus akan meningkat mengikuti hukum ohm. Namun, level tegangan $V_{DS}$ yang terus-menerus dinaikkan sampai melebihi tegangan pinch off akan menyebabkan hukum ohm tidak berlaku lagi. Hal ini terjadi karena ketika saat tegangan $V_{DS}$ dinaikkan, 2 daerah depleksi akan bersentuhan sehingga resistansi naik. Kondisi ini disebut kondisi pinch off dan tegangan yang menyebabkan kondisi ini disebut tegangan pinch off atau $V_P$ (Boylestad dan Nashelsky, 2013: 381-382).

**Gambar 2.10 Pinch Off**

Jika kondisi pada saat tegangan $V_{GS} = 0$ V dan $V_{DS} > V_P$, maka akan menghasilkan arus drain maksimal pada JFET yang disebut $I_{DSS}$.

**Gambar 2.11 Nilai $I_D = I_{DSS}$ Ketika $V_{GS} = 0$ V dan $V_{DS} > V_P$**

b. Saat diberi tegangan $V_{GS} < 0$ V, $V_{DS}$ bernilai positif
Gambar 2.12 JFET Saat \( V_{GS} < 0 \) V dan \( V_{DS} > 0 \) V

Dengan memberikan tegangan \( V_{GS} \) lebih kecil dari 0 V, akan berdampak pada pembentukan daerah deplesi. Pada kondisi ini daerah deplesi akan terbentuk, mirip seperti saat diberi tegangan \( V_{GS} = 0 \) V, namun dengan level tegangan \( V_{DS} \) yang lebih rendah. Hasilnya level saturasi dari arus \( I_D \) akan berkurang dan ketika tegangan \( V_{GS} \) dibuat semakin negatif, arus drain akan semakin rendah.

Gambar 2.13 Karakteristik n-channel JFET Dengan \( I_{DSS} = 8mA \) dan \( V_T = -4V \)

Dari kurva karakteristik tersebut, n-channel JFET memiliki daerah kerja antara lain: (Boylestad dan Nashelsky, 2013: 383-384).
1. **Cut Off Region**

Merupakan daerah dimana transistor dalam kondisi off. Dengan menerapkan tegangan \( V_{GS} - 4V \) (gambar 2.13) maka resistansi kanal *drain-source* mencapai maksimal sehingga berlaku sifat *open circuit*, akibatnya tidak ada arus \( I_D \).

2. **Ohmic Region**

Daerah dengan tegangan \( V_{DS} < V_P \) dinamakan daerah *ohmic* atau *voltage-controlled resistance region*. Pada daerah ini JFET berlaku sebagai *variable resistor* yang nilainya dapat diatur dengan mengubah nilai tegangan \( V_{GS} \). Semakin negatif nilai tegangan \( V_{GS} \)-nya, *slope* pada setiap kurva akan semakin horizontal, sebanding dengan kenaikan level resistansi. Berikut ini pendekatan nilai resistansi sebagai fungsi dari penerapan tegangan \( V_{GS} \):

\[
    r_d = \frac{r_0}{(1 - \frac{V_{GS}}{V_P})^2}
\]  

Dimana \( r_0 \) adalah resistansi saat \( V_{GS} = 0 \) V dan \( r_d \) adalah resistansi pada level tegangan \( V_{GS} \) tertentu.

3. **Aktif atau Saturation Region**

Yang dimaksud dengan daerah aktif atau saturasi yaitu saat nilai tegangan \( V_{DS} \) bias transistor diantara \( V_P \) dan \( V_{DS(max)} \). \( V_{DS(max)} \) atau *breakdown voltage* merupakan tegangan maksimum dimana arus tiba-tiba menjadi tidak terhingga. Pada daerah saturasi arus \( I_D \) menjadi independen terhadap \( V_{DS} \) yang artinya kenaikan tegangan \( V_{DS} \) tidak mempengaruhi/menambah arus \( I_D \) secara signifikan.

2. **P-channel JFET**

Struktur pada *p-channel* JFET mirip dengan *n-channel* JFET namun dengan bahan yang berkebalikan.
Gambar 2.14 P-channel JFET

Pada gambar tersebut terlihat struktur dari p-channel JFET, dimana kanalnya terbentuk dari material berdoping p dan diapit 2 layer berdoping n. Secara keseluruhan cara kerjanya mirip dengan n-channel JFET hanya saja penerapan nilai tegangannya menjadi berkebalikan.

Gambar 2.15 Karakteristik p-channel JFET Dengan $I_{DSS} = 6mA$ dan $V_P = 6V$

Gambar tersebut menunjukkan karakteristik dari p-channel JFET saat diberi bias. Arus $I_D$ muncul saat tegangan $V_{DS}$ bernilai negatif dan $V_{GS}$ bernilai dari 0 V sampai + V. Kurva karakteristik ini mirip seperti n-channel JFET, namun pada tipe ini memiliki kondisi breakdown dimana saat tegangan $V_{DS}$ bernilai sangat negatif.

Seperti pada komponen elektronika lainnya, JFET juga mempunyai simbol seperti yang ditunjukkan pada gambar berikut ini:
II.1.3. Bias JFET LNA

Istilah biasing merujuk ke penerapan tegangan DC pada sistem untuk menghasilkan tegangan dan arus dengan level tetap. Pada transistor, keberadaan arus dan tegangan tersebut akan membentuk operating point yang akan mempengaruhi karakteristik atau perilaku transistor. Operating point tersebut sering dinamakan quiescent point yang disingkat dengan Q karena merupakan sebuah titik yang tetap.

Dalam perancangan LNA menggunakan transistor FET, ada berbagai macam konfigurasi bias yang dapat diterapkan antara lain adalah fixed bias, self bias dan voltage divider bias (Boylestad dan Nashelsky, 2013: 423-435).

1. Fixed Bias

Konfigurasi bias JFET yang paling sederhana adalah fixed bias. Gambar berikut ini adalah konfigurasi fixed bias pada n-channel JFET:
Untuk melakukan analisa DC rangkaian pada gambar 2.17 diubah menjadi rangkaian pada gambar 2.18.

![Gambar 2.18 Rangkaian Untuk Analisa DC](image)

Rangkaian tersebut dapat dianalisis menggunakan hukum tegangan Kirchhoff. FET mempunyai impedansi input yang sangat besar sehingga arus $I_G = 0$, oleh karena itu $R_G$ akan menjadi beban *short*.

\[ V_{GG} + V_{GS} = 0 \]  \hspace{1cm} (2.14)

Sehingga,

\[ V_{GS} = -V_{GG} \]  \hspace{1cm} (2.15)

$V_{GG}$ tersebut merupakan *fixed DC supply*, maka tegangan $V_{GS}$ berdasarkan persamaan (2.15) juga bernilai tetap. Oleh karena itu, konfigurasi bias seperti ini dinamakan *fixed bias*.

2. *Self Bias*

Berbeda dengan konfigurasi *fixed bias*, konfigurasi *self bias* ini hanya menggunakan satu buah sumber DC saja, rangkaianannya ditunjukkan sebagai berikut:
Gambar tersebut menunjukkan konfigurasi *self bias*, cara yang paling umum digunakan untuk membias JFET (Malvino, 1995: 309). Arus cerat (*drain*) mengalir melalui $R_D$ dan $R_S$, yang menghasilkan tegangan cerat-sumber:

$$V_{DS} = V_{DD} - I_D (R_D + R_S)$$

(2.16)

Tegangan yang melintasi resistansi sumber adalah:

$$V_S = I_D R_S$$

(2.17)

Karena arus gerbang kecil sehingga $I_G$ dapat diabaikan dan $R_G$ diaproksimasi sebesar 1 Megaohm (Bowick, 1982: 120). Terminal gerbang mempunyai tegangan pertahanan dc, sehingga:

$$V_G \approx 0$$

(2.18)

Karena itu perbedaan potensial antara gerbang dan sumber adalah:

$$V_{GS} = V_G - V_S = 0 - I_D . R_S$$

(2.19)

Atau

$$V_{GS} = - I_D . R_S$$

(2.20)

Ini menyatakan penurunan melalui $R_S$ menghasilkan tegangan bias $V_{GS}$. Tidak ada sumber tegangan luar yang harus menggerakkan gerbang, dan inilah sebabnya rangkaian tersebut dikenal sebagai rangkaian bias sendiri. Nilai $V_{GS}$ pada *self bias* bergantung dari besarnya arus cerat pada hambatan $R_S$ sehingga nilainya tidak tetap seperti pada *fixed*
bias. Hubungan antar arus cerat dan tegangan $V_{GS}$ secara matematis dapat ditunjukkan menggunakan Shockley's equation yaitu: (Boylestad dan Nashelsky, 2013: 427-428).

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p}\right)^2 \quad (2.21)$$

Self bias menstabilkan titik operasi stasioner (quiscent) terhadap perubahan dalam parameter JFET (besaran seperti $I_{DSS}$, $g_{mo}$ (transkonduktansi) dan sebagainya). Idenya adalah sebagai berikut: Misal kita mensubstitusi sebuah JFET dengan yang mempunyai harga $g_{mo}$ dua kali harga $g_{mo}$ JFET tersebut. Maka arus cerat dalam gambar 2.19 akan mencoba menjadi dua kali. Tetapi karena arus cerat ini mengalir melalui $R_S$, tegangan gerbang-sumer $V_{GS}$ menjadi lebih negatif dan mengurangi arus cerat yang tadinya bertambah.

![Gambar 2.20 Titik Q (quiscent point)](image)

Pada gambar 2.20 tegangan gerbang sama dengan seperempat $V_{GS(\text{off})}$ yang menghasilkan arus cerat sebesar setengah $I_{DSS}$ (pendekatan). Dengan mensubstitusikan besaran tersebut ke dalam persamaan (2.20), maka didapatkan harga $R_S$:

$$R_S = \frac{-V_{GS(\text{off})}}{2I_{DSS}} \quad (2.22)$$

dengan

$$V_{GS(\text{off})} = \frac{-2I_{DSS}}{g_{mo}} \quad (2.23)$$

Maka kita dapat menyederhanakan persamaan tersebut menjadi:

$$R_S \cong \frac{1}{g_{mo}} \cdot \frac{1}{4} \quad (bias \ titik \ tengah) \quad (2.24)$$

Jika harga $g_{mo}$ dari suatu JFET diketahui, ambil harga kebalikannya, maka kita dapatkan resistansi sumber yang menset arus cerat sama dengan setengah $I_{DSS}$. Karena
$g_{mo}$ selalu diberikan dengan teliti dalam lembar datasheet, maka pada persamaan (2.23) memberikan cara yang cepat untuk menyet $self$ bias pada titik tengah dari arus cerat (Malvino, 1995: 310). Jika kita menemukan nilai $g_{mo}$ pada lembar datasheet secara menyebar, maka yang paling baik adalah menggunakan harga rata-rata geometris (Malvino, 1995: 311). Harga rata-rata geometris untuk transkonduktansi diberikan oleh persamaan:

$$g_{mo} = \sqrt{g_{mo\text{(min)}} \cdot g_{mo\text{(max)}}}$$  \hfill (2.25)

3. Voltage Divider Bias

Konfigurasi voltage divider bias selain dapat diterapkan pada bipolar transistor (BJT) juga dapat diterapkan pada FET. Rangkaianya ditunjukkan sebagai berikut ini:

![Gambar 2.21 Konfigurasi Voltage Divider Bias](image)

Rangkaian tersebut dapat kita ubah untuk analisi DC. Semua kapasitor termasuk kapasitor bypass $C_s$ diubah menjadi open circuit. Rangkaian pengganti untuk analisis tersebut ditunjukkan pada gambar berikut ini:
Gambar 2.22 Rangkaian Untuk Analisa DC

Tegangan $V_G$ merupakan pada hambatan $R_2$ dan dapat dicari dengan menggunakan aturan voltage devider sebagai berikut:

$$V_G = \frac{R_2 \cdot V_{DD}}{R_1 + R_2} \quad (2.26)$$

Dengan menerapkan hukum tegangan Kirchoff dengan loop searah jarum jam pada rangkaian gambar 2.21, didapatkan:

$$-V_G + V_{GS} + V_{RS} = 0 \quad (2.27)$$

Sehingga

$$V_{GS} = V_G - V_{RS} \quad (2.28)$$

dengan mensubstitusi $V_{RS} = I_S \cdot R_S = I_D \cdot R_S$, maka diperoleh:

$$V_{GS} = V_G - I_D \cdot R_S \quad (2.29)$$

Untuk tegangan drain-source dapat dihitung menggunakan rumus:

$$V_{DS} = V_{DD} - I_D (R_D + R_S) \quad (2.30)$$

Sedangkan untuk tegangan drain sendiri dapat dihitung menggunakan rumus:

$$V_D = V_{DD} - I_D . R_D \quad (2.31)$$

Dan tegangan source dengan rumus:

$$V_S = I_D \cdot R_S \quad (2.32)$$

Arus pada hambatan $R_1$ dan $R_2$ dapat dihitung menggunakan rumus:

$$I_{R1} = I_{R2} = \frac{V_{DD}}{R_1 + R_2} \quad (2.33)$$
II.1.4. Impedansi Matching

Impedance matching sangat penting dalam perancangan LNA untuk memberikan penyaluran daya yang maksimum dari sumber ke beban. Rangkaian penyesuai impedansi menyediakan performansi optimum pada LNA. Alasan utama dirancang rangkaian penyesuai impedansi agar koefisien refleksi saluran sama dengan nol sehingga tidak ada daya yang terefleksi ($\Gamma = 0$). Pada blok rangkaian penguat terdapat rangkaian penyesuai impedansi seperti gambar berikut ini: (Dharmapatre, 2006: 28)

II.1.4.1. L – Networks Matching Impedance

Jenis impedansi matching yang paling umum digunakan dan sederhana dalam merangkainya adalah tipe L-Networks. Rangkaian penyesuai impedansi ini umumnya menggunakan komponen reaktif, yaitu kapasitor dan induktor untuk menghindari rugi-rugi daya pada saluran transmisi (Pozar, 2012: 229). Pada L-Networks, terdapat 2 kemungkinan untuk konfigurasi rangkaianya yaitu L kanan (untuk nilai $r > 1$) dan L kiri (untuk nilai $r < 1$).
Penambahan elemen berupa kapasitor atau induktor pada rangkaian *matching* akan mempengaruhi nilai terminasi impedansi beban pada *smith chart*. Penambahan komponen kapasitor atau induktor secara seri atau paralel dapat dilakukan dengan aturan sebagai berikut:

1. Penambahan C seri akan mengurangi nilai kapasitansi atau reaktansi impedansi beban, sehingga reaktansi bergerak berlawanan arah jarum jam dalam resistansi yang konstan. Sedangkan penambahan L seri akan menambah nilai induktansi (berkebalikan dengan kapasitor seri) sehingga reaktansi bergerak searah jarum jam dalam resistansi yang konstan. Pergerakan ini dapat dilihat pada gambar 2.25.

![Gambar 2.25 Pengaruh Penambahan L dan C Seri](image)


![Gambar 2.26 Pengaruh Penambahan L dan C Paralel](image)
Nilai denormalisasi kapisator dan induktor yang disusun seri maupun paralel pada smith chart dengan N merupakan impedansi saluran transmisi, x merupakan reaktansi pada smith chart dan b merupakan suseptansi pada smith chart yang diberikan oleh rumusan sebagai berikut: (Bowick, 1982: 84).

\[ \text{Komponen seri, } C = \frac{1}{\omega x N}; \quad L = \frac{x N}{\omega} \]  \hspace{1cm} (2.34)

\[ \text{Komponen paralel, } C = \frac{b}{\omega N}; \quad L = \frac{N}{\omega b} \]  \hspace{1cm} (2.35)

II.1.2.2. Scattering Parameter

Scattering parameter digunakan untuk mendeskripsikan perilaku elektrik dari rangkaian dengan beberapa port. S parameter menggambarkan hubungan gelombang tegangan yang masuk ke dalam port dan yang dipantulkan. S matrix untuk rangkaian 2 port dapat digambarkan sebagai berikut: (Ramana, dkk., 2007: 12)

Gambar 2.27 Rangkaian 2 Port

Persamaan matematis untuk rangkaian pada gambar tersebut adalah:

\[
\begin{bmatrix}
    b_1 \\
    b_2
\end{bmatrix} =
\begin{bmatrix}
    S_{11} & S_{12} \\
    S_{21} & S_{22}
\end{bmatrix}
\begin{bmatrix}
    a_1 \\
    a_2
\end{bmatrix}
\]  \hspace{1cm} (2.36)

dimana \(a_n\) merepresentasikan normalisasi tegangan datang yang masuk ke rangkaian two-port, sedangkan \(b_n\) merupakan normalisasi tegangan pantul dari rangkaian two-port yang masing-masing diberikan oleh persamaan: (Ramana, dkk., 2007: 12-13).

\[ a_1 = \frac{E_{i1}}{\sqrt{\varepsilon_0}} \]  \hspace{1cm} (2.37)

\[ a_2 = \frac{E_{i2}}{\sqrt{\varepsilon_0}} \]  \hspace{1cm} (2.38)
Dimana :

$E_i$ = Tegangan datang dalam volt

$E_r$ = Tegangan pantul dalam volt

Dari persamaan (2.36), parameter $S_{11}$, $S_{12}$, $S_{21}$ dan $S_{22}$ merepresentasikan koefisien refleksi dan transmisi yang disebut *Scattering*-parameter pada rangkaian *two-port*.

Bentuk matriks dari parameter ini adalah : (Ramana, dkk., 2007: 13).

$$S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$  \hspace{1cm} (2.41)

Masing-masing dari nilai parameter tersebut sesuai persamaan :

1. 

$S_{11} = \frac{b_1}{a_1}$ ketika $a_2 = 0$  \hspace{1cm} (2.42)

2. 

$S_{12} = \frac{b_1}{a_2}$ ketika $a_1 = 0$  \hspace{1cm} (2.43)

3. 

$S_{21} = \frac{b_2}{a_1}$ ketika $a_2 = 0$  \hspace{1cm} (2.44)

4. 

$S_{22} = \frac{b_2}{a_2}$ ketika $a_1 = 0$  \hspace{1cm} (2.45)

Dimana :

$S_{11}$ = koefisien refleksi masukan

$S_{12}$ = *Reverse voltage gain* (*feedback*)

$S_{21}$ = *Forward voltage gain*

$S_{22}$ = Koefisien refleksi keluaran

### II.1.5. Konfigurasi LNA

Untuk mendapatkan hasil yang baik sesuai dengan kebutuhan, dalam merancang LNA desainer biasanya menggabungkan dua atau lebih transistor. Konfigurasi tersebut antara lain:
II.1.5.1. Cascode

Pada konfigurasi ini terminal drain dari transistor 1 dihubungkan ke terminal source dari transistor 2, sehingga dikenal dengan istilah Common Source Common Gate. Suplai arus untuk transistor 1 berasal dari transistor kedua. Kelebihan dari konfigurasi ini adalah mempunyai isolasi tinggi antara port input dan output sehingga bagian input dan impedansi matching dapat dilakukan secara terpisah (Budiardhianto, 2015: 28). Adapun rangkaian LNA dengan konfigurasi cascode ditunjukkan sebagai berikut:

Gambar 2.28 Konfigurasi Cascode LNA

II.1.5.2. Cascade

Berbeda dengan cascode, pada konfigurasi cascade output dari tingkat (stage) pertama dihubungkan ke input tingkat kedua sehingga sinyal mengalami penguatan sebanyak 2 kali atau dengan kata lain gainnya sangat tinggi karena mengikuti jumlah stage yang digunakan (Boylestad dan Nashelsky, 2013: 518).

Dibandingkan dengan cascode, cascade mempunyai gain yang lebih tinggi namun mempunyai isolasi port input dan output yang kurang baik sehingga sedikit lebih sulit dalam melakukan matching. Rangkaian LNA dengan konfigurasi cascade ditunjukkan sebagai berikut:
Gambar 2.29 Konfigurasi Cascade LNA

Adapun perbandingan antara konfigurasi cascode dengan cascade dapat dilihat pada tabel berikut ini: (Prayadinata, 2012: 13)

<table>
<thead>
<tr>
<th>No.</th>
<th>Parameter</th>
<th>Konfigurasi</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td></td>
<td><em>Cascode</em></td>
</tr>
<tr>
<td>1</td>
<td>Gain</td>
<td>Average</td>
</tr>
<tr>
<td>2</td>
<td>Stability</td>
<td>Average</td>
</tr>
<tr>
<td>3</td>
<td>Noise</td>
<td>Low</td>
</tr>
<tr>
<td>4</td>
<td>Isolation</td>
<td>High</td>
</tr>
<tr>
<td>5</td>
<td>Tegangan 2 Transistor</td>
<td>Tidak sama</td>
</tr>
</tbody>
</table>

II.2. Peta Jalan Penelitian

Peta Jalan penelitian antena di FT UNJ dibuat berdasarkan kajian kelompok bidang ilmu teknik elektronika komunikasi di program studi Pendidikan Vokasional Elektronika FT UNJ dan mengacu pada Rencana Induk Penelitian (RIP) UNJ 2016-2020 tema sains, teknologi dan olah raga dengan isu strategis rekayasa teknologi. Peta Jalan ini dirancang untuk kurun waktu jangka panjang 10 tahun dari 2017 sampai dengan 2027 dengan tetap menyesuaikan setiap perubahan RIP UNJ dan road map penelitian setiap 5
tahun. Sasaran yang ingin dicapai adalah memperoleh temuan dan inovasi rekayasa teknologi untuk publikasi jurnal internasional bereputasi minimal setiap 2 tahun dan memperoleh paten dibidang ilmu antena dan propagasi gelombang setiap 5 tahun.

Rumusan rencana penelitian bidang ilmu antena dan propagasi gelombang adalah sebagai berikut:

<table>
<thead>
<tr>
<th>Kompetensi/Keahlian/Keilmuan</th>
<th>Isu-Isu Strategis</th>
<th>Konsep Pemikiran</th>
<th>Pemecahan Masalah</th>
<th>Topik Penelitian</th>
</tr>
</thead>
<tbody>
<tr>
<td>Sistem Telekomunikasi Nirkabel dan Propagasi Gelombang</td>
<td>Pengembangan dan aplikasi sistem komunikasi 4G dan 5G</td>
<td>Komunikasi 4G yang menjamin kecepatan tinggi dan komunikasi 5G yang berkecepatan tinggi dan menggunakan frekuensi pita Ka</td>
<td>• Diperlukan analisis mendalam tentang frekuensi pita Ku, K dan Ka pada tahap implementasi</td>
<td>• Teknik mitigasi redaman hujan di daerah tropis</td>
</tr>
<tr>
<td></td>
<td>Implementasi pita Ku, K dan Ka untuk komunikasi kecepatan tinggi</td>
<td>Perkembangan sistem telekomunikasi nirkabel untuk kecepatan tinggi membutuhkan penggunaan frekuensi yang lebih tinggi.</td>
<td>• Diperlukan teknik khusus agar dapat memitigasi efek dari redaman hujan dan redaman daerah tropis lainnya.</td>
<td>• Perhitungan link budget untuk komunikasi kecepatan tinggi pada komunikasi satelit pita lebar</td>
</tr>
<tr>
<td></td>
<td>Komunikasi nirkabel kecepatan tinggi untuk aplikasi medis dan pengolah citra</td>
<td>Kebutuhan sistem telekomunikasi untuk mendukung perangkat medis dan pengolah citra</td>
<td></td>
<td>• Pengembangan perangkat transmisi auto-tracking pada sistem komunikasi satelit pita lebar</td>
</tr>
</tbody>
</table>

**II.3. Kajian Hasil Hasil Penelitian**

Penelitian mengenai desain LNA sudah banyak dilakukan, diantaranya adalah (Liao & Yang, 2016). (Liao & Yang, 2016) mengembangkan sebuah LNA CMOS dengan rentang frekuensi yang cukup lebar, yaitu 3 GHz. Frekuensi kerja yang lebar (wideband) dalam beberapa aplikasi justru dapat menambah daya noise sehingga menurunkan nilai signal to noise ratio (SNR). Penelitian lain juga dilakukan oleh (Koringa et al., 2015), yaitu mendesain sebuah LNA dengan spektrum frekuensi yang juga cukup lebar, yaitu 7
GHz. Namun kelebihan pada (Koringa et al., 2015) ini adalah gain yang cukup tinggi hingga 30 dB.

Penelitian yang dilakukan oleh (Mm, Paily, & Mahanta, 2016) adalah mendesain sistem dengan menggunakan multiple LNA untuk optimasi daya. Metode yang digunakan adalah metode dengan berdasarkan sensitifitas LNA pada penerima. Pada penelitian yang dilakukan oleh (Barraza, Gregorio, & Cousseau, 2017) mendesain sebuah LNA namun pada frekuensi 700 MHz. Rangkaian yang digunakan untuk mengembangkan LNA adalah dengan teknologi CMOS. Gain yang diperoleh cukup tinggi namun noise figure masih di atas nilai 1.

Di Indonesia sendiri, pengembangan LNA juga dilakukan oleh (Sidik et al., 2016), yaitu mendesain LNA dengan menggunakan metode class A bias circuit. Namun, perbedaan yang dilakukan dengan penelitian kali ini adalah (Sidik et al., 2016) ini mendesain LNA untuk LTE TDD dengan frekuensi 2,3 GHz. Noise figure yang didapatkan cukup rendah namun gain yang dihasilkan juga tidak terlalu tinggi. Simulasi desain dilakukan dengan menggunakan Advance Design System (ADS). Pengembangan LNA juga dilakukan oleh (Laauane et al., 2017) namun pada base station receiver pada frekuensi 2,6 GHz.

Penelitian ini akan mendesain sebuah LNA dimana LNA yang didesain dan diimplementasikan dapat digunakan pada 4G LTE dengan metode FDD pada band 3 yang digunakan oleh Digital Cellular System (DCS), yaitu pada frekuensi 1805 – 1880 MHz. Rentang frekuensi LNA yang didesain tidak begitu lebar untuk menghindari noise yang tinggi. Metode yang digunakan pada desain LNA ini menggunakan metode multistage untuk meningkatkan gain.
BAB III
METODE PENELITIAN DAN TANAP PERENCANAAN

III.1. Metode Penelitian

Metode penelitian yang digunakan pada penelitian adalah metode research and development. Antena dengan kemampuan auto-tracking menggunakan data posisi satelit dan posisi mobile VSAT dengan latitude, longitude dan altitude sebagai input. Dengan formula tertentu, variabel-variabel tersebut diolah dan menghasilkan sudut azimuth dan sudut elevasi sebagai keluaran. Secara urutan, metode penelitian ini adalah sebagai berikut:


2. Penentuan karakteristik LNA. Spesifikasi LNA menjadi bagian yang penting dalam proses perancangan. LNA yang akan dibuat adalah LNA dengan konfigurasi *cascade* 3 tingkat dengan spesifikasi sebagai berikut:

<table>
<thead>
<tr>
<th>PARAMETER</th>
<th>SPESIFIKASI</th>
</tr>
</thead>
<tbody>
<tr>
<td>Frekuensi kerja</td>
<td>1,805-1,880 GHz</td>
</tr>
<tr>
<td>$S_{21}$ (Gain)</td>
<td>&gt; 18 dB</td>
</tr>
<tr>
<td>Noise figure</td>
<td>&lt; 1 dB</td>
</tr>
<tr>
<td>$S_{11}$ (Input Return Loss)</td>
<td>&lt; -10 dB</td>
</tr>
<tr>
<td>$S_{22}$ (Output Return Loss)</td>
<td>&lt; -10 dB</td>
</tr>
<tr>
<td>VSWR input &amp; output</td>
<td>&lt; 2</td>
</tr>
<tr>
<td>Faktor kestabilan</td>
<td>&gt; 1</td>
</tr>
<tr>
<td>Impedansi input &amp; output</td>
<td>$\approx 50 \ \Omega$</td>
</tr>
</tbody>
</table>

<table>
<thead>
<tr>
<th>PARAMETER</th>
<th>SPESIFIKASI</th>
</tr>
</thead>
<tbody>
<tr>
<td>Jenis transistor</td>
<td>PHEMT</td>
</tr>
<tr>
<td>Range frekuensi</td>
<td>450 MHz – 10 GHz</td>
</tr>
<tr>
<td>Noise figure</td>
<td>&lt; 1 dB</td>
</tr>
<tr>
<td>Gain</td>
<td>&gt; 15 dB</td>
</tr>
<tr>
<td>Temperatur</td>
<td>-65 – 160 °C</td>
</tr>
<tr>
<td>$I_{ds max}$</td>
<td>145 mA</td>
</tr>
</tbody>
</table>

Dari tabel tersebut dapat dilihat bahwa semua spesifikasi LNA dapat terpenuhi oleh transistor yang digunakan. Transistor ATF-34143 merupakan jenis PHEMT (Pseudomorphic High Electron Mobility Transistor) yang merupakan perkembangan dari HEMT, dan merupakan salah satu kategori atau keluarga dari FET (Field Effect Transistor). Performansi dari HEMT menunjukkan noise figure yang rendah dan gain yang tinggi hingga frekuensi 70 GHz, sehingga sangat cocok digunakan untuk LNA.

4. Penentuan jenis DC biasing. Setelah menentukan jenis transistor yang sesuai dengan parameter LNA yang akan dirancang, maka langkah selanjutnya adalah memberikan bias pada transistor agar mampu bekerja pada titik kerjanya. Terdapat beberapa jenis biasing yang dapat digunakan, diantaranya fixed bias, voltage divider dan self bias. Pada penelitian ini bias yang digunakan adalah self bias karena lebih efisien (membutuhkan 1 supply dc) dan yang paling umum digunakan untuk bias FET. Agar transistor bekerja dengan baik, maka harus dirancang sesuai dengan titik kerjanya. Titik kerja merupakan titik tetap dalam sebuah kurva karakteristik dari sebuah transistor, yang biasanya disebut quiescent point. Pada pembiasan transistor ini, ditentukan nilai VDS (4V), Id (60mA) dan VGS (-0.34) dari datasheet sebagai acuan untuk menghitung nilai resistor yang digunakan pada rangkaian bias.
5. Penentuan konfigurasi LNA. Untuk mendapatkan hasil yang baik sesuai dengan kebutuhan, dalam merancang LNA desainer biasanya menggabungkan dua atau lebih transistor. Konfigurasi tersebut yakni \textit{cascode} dan \textit{cascade}. Pada konfigurasi \textit{cascode}, terminal \textit{drain} dari transistor 1 dihubungkan ke terminal \textit{source} dari transistor 2, sehingga dikenal dengan istilah \textit{Common Source Common Gate}. Sedangkan pada konfigurasi \textit{cascade}, \textit{output} dari tingkat (\textit{stage}) pertama dihubungkan ke \textit{input} tingkat kedua sehingga sinyal mengalami penguatan sebanyak 2 kali atau dengan kata lain \textit{gain}nya sangat tinggi karena mengikuti jumlah \textit{stage} yang digunakan. Kelebihan lain dari \textit{cascade} adalah \textit{noise} dan kestabilan yang lebih bagus dibandingkan dengan susun \textit{cascode}. Oleh sebab itu peneliti menggunakan konfigurasi \textit{cascade} dalam perancangan LNA.

6. Penentuan jumlah tingkat (\textit{stage}). Adapun untuk menentukan jumlah \textit{stage} (tingkat) adalah sesuai dengan kebutuhan LNA yang akan dirancang. Pada penelitian ini parameter LNA untuk \textit{gain} adalah $> 18$ dB dan \textit{noise figure} $< 1$ dB. Maka dari itu peneliti membuat rancangan LNA dengan konfigurasi \textit{cascade} susun 3 tingkat, karena dikhawatirkan adanya ketidaksesuaian atau pergeseran pada saat pengukuran LNA.

7. Penentuan \textit{matching impedance}. Ada beberapa cara yang digunakan untuk membuat saluran \textit{matching} pada LNA, diantaranya saluran mikrostrip, \textit{L-network}, \textit{T-network} dan \textit{\pi} (phi)-\textit{network}. Pada penelitian ini, peneliti menggunakan konsep \textit{L-network} karena impedansi \textit{matching} ini yang paling umum digunakan dan sederhana dalam merangkainya, cukup dengan L (induktor) dan C (kapasitor) saja. Pada perangkat lunak \textit{advanced design system} (ADS), \textit{impedance matching} dapat dilakukan otomatis dengan menggunakan \textit{smith chart tool}.

8. Tahapan design meliputi validasi design. Validasi desain LNA dilakukan pada simulasi bantuan \textit{software Advanced Design System} (ADS) 2009. Hal ini bertujuan untuk mengetahui nilai komponen pasif yang optimal pada suatu LNA. Optimalisasi akan dilakukan jika hasil \textit{running} berdasarkan nilai komponen pasif pada awal hitungan tidak sesuai dengan spesifikasi yang telah ditentukan. Optimalisasi dilakukan dengan cara mengubah besaran nilai komponen (proses \textit{tuning}). Proses \textit{tuning} ini diutamakan pada komponen penyesuai impedansi \textit{input} dan \textit{output}
rangkaian LNA. Simulasi ini bertujuan sebagai perancangan fabrikasi LNA serta untuk memperoleh spesifikasi atau parameter yang telah ditentukan.


III.2. Tahap Perencanaan

III.2.1. Penentuan Karakteristik LNA

Spesifikasi LNA menjadi bagian yang penting dalam proses perancangan. LNA yang akan dibuat adalah LNA dengan konfigurasi cascade 3 tingkat dengan spesifikasi sebagai berikut:
Tabel 3.1. Spesifikasi LNA Pada Frekuensi 1,805-1,880 GHz

<table>
<thead>
<tr>
<th>PARAMETER</th>
<th>SPESIFIKASI</th>
</tr>
</thead>
<tbody>
<tr>
<td>Frekuensi kerja</td>
<td>1,805-1,880 GHz</td>
</tr>
<tr>
<td>$S_{21}$ ($Gain$)</td>
<td>$&gt; 18$ dB</td>
</tr>
<tr>
<td>Noise figure</td>
<td>$&lt; 1$ dB</td>
</tr>
<tr>
<td>$S_{11}$ ($Input Return Loss$)</td>
<td>$&lt;-10$ dB</td>
</tr>
<tr>
<td>$S_{22}$ ($Output Return Loss$)</td>
<td>$&lt;-10$ dB</td>
</tr>
<tr>
<td>VSWR input &amp; output</td>
<td>$&lt; 2$</td>
</tr>
<tr>
<td>Faktor kestabilan</td>
<td>$&gt; 1$</td>
</tr>
<tr>
<td>Impedansi input &amp; output</td>
<td>$\approx 50$ $\Omega$</td>
</tr>
</tbody>
</table>

III.2.2. Pemilihan Jenis Transistor

Sesuai dengan diagram alir penelitian, setelah menentukan spesifikasi LNA yang akan dibuat maka akan dilakukan pemilihan transistor. Pemilihan transistor sangat penting dalam perancangan LNA dan pemilihan transistor berdasarkan pada fungsi dan parameter LNA yang dideskripsikan pada datasheet.

Transistor yang digunakan dalam penelitian adalah produksi dari Avago Technologies dengan tipe ATF-34143. Spesifikasi utama dapat dilihat pada tabel berikut ini.

Tabel 3.2. Spesifikasi Transistor ATF-34143

<table>
<thead>
<tr>
<th>PARAMETER</th>
<th>SPESIFIKASI</th>
</tr>
</thead>
<tbody>
<tr>
<td>Jenis transistor</td>
<td>PHEMT</td>
</tr>
<tr>
<td>Range frekuensi</td>
<td>450 MHz – 10 GHz</td>
</tr>
<tr>
<td>Noise figure</td>
<td>$&lt; 1$ dB</td>
</tr>
<tr>
<td>Gain</td>
<td>$&gt; 15$ dB</td>
</tr>
<tr>
<td>Temperatur</td>
<td>-65 – 160 °C</td>
</tr>
<tr>
<td>$I_{dss}$ max</td>
<td>145 mA</td>
</tr>
</tbody>
</table>

Dari tabel tersebut dapat dilihat bahwa semua spesifikasi LNA dapat terpenuhi oleh transistor yang digunakan. Transistor ATF-34143 merupakan jenis PHEMT (Pseudomorphic High Electron Mobility Transistor) yang merupakan perkembangan dari HEMT, dan merupakan salah satu kategori atau keluarga dari FET (Field Effect
Transistor). Performansi dari HEMT menunjukkan noise figure yang rendah dan gain yang tinggi hingga frekuensi 70 GHz, sehingga sangat cocok digunakan untuk LNA.

Adapun keunggulan dari HEMT dari transistor jenis lain dapat dilihat pada tabel berikut ini (Liao, 3rd edition: 234).

<table>
<thead>
<tr>
<th>Device</th>
<th>Frequency (GHz)</th>
<th>Noise</th>
<th>Power</th>
<th>Speed</th>
</tr>
</thead>
<tbody>
<tr>
<td>HEMT</td>
<td>Up to 70</td>
<td>Very Good</td>
<td>Very Good</td>
<td>Excellent</td>
</tr>
<tr>
<td>GaAs MESFET</td>
<td>40</td>
<td>Good</td>
<td>Good</td>
<td>Good</td>
</tr>
<tr>
<td>GaAs–AlGaAs HBT*</td>
<td>20</td>
<td>Good</td>
<td>Good</td>
<td>Excellent</td>
</tr>
<tr>
<td>Si MOSFET</td>
<td>10</td>
<td>Poor</td>
<td>Very good</td>
<td>Very poor</td>
</tr>
<tr>
<td>Si bipolar transistor</td>
<td>1</td>
<td>Poor</td>
<td>Poor</td>
<td>Good</td>
</tr>
</tbody>
</table>

*HBT = heterojunction bipolar transistor

### III.2.3. Penentuan Jenis DC Biasing

Setelah menentukan jenis transistor yang sesuai dengan parameter LNA yang akan dirancang, maka langkah selanjutnya adalah memberikan bias pada transistor agar mampu bekerja pada titik kerjanya. Terdapat beberapa jenis biasing yang dapat digunakan, diantaranya fixed bias, voltage divider dan self bias. Pada penelitian ini bias yang digunakan adalah self bias karena lebih efisien (membutuhkan 1 supply dc) dan yang paling umum digunakan untuk bias FET.
Agar transistor bekerja dengan baik, maka harus dirancang sesuai dengan titik kerjanya. Titik kerja merupakan titik tetap dalam sebuah kurva karakteristik dari sebuah transistor, yang biasanya disebut quiescent point. Pada pembiasan transistor ini, peneliti menentukan nilai $V_{DS}$ (4V), $I_d$ (60mA) dan $V_{GS}$ (-0.34) dari datasheet sebagai acuan untuk menghitung nilai resistor yang digunakan pada rangkaian bias. Adapun perhitungannya dalam rumus yang telah dijelaskan pada bab 2 dalam persamaan 2.16 - 2.25. Sedangkan untuk nilai L dan C blocking disesuaikan dengan hasil simulasi terbaik. Nilai $V_{DS}$, $I_d$ dan $V_{GS}$ yang bekerja pada titik Q dapat dilihat pada gambar berikut.
III.2.4. Penentuan Konfigurasi LNA

Untuk mendapatkan hasil yang baik sesuai dengan kebutuhan, dalam merancang LNA desainer biasanya menggabungkan dua atau lebih transistor. Konfigurasi tersebut yakni cascode dan cascade. Pada konfigurasi cascode, terminal drain dari transistor 1 dihubungkan ke terminal source dari transistor 2, sehingga dikenal dengan istilah *Common Source Common Gate*. Sedangkan pada konfigurasi cascade, output dari tingkat (stage) pertama dihubungkan ke input tingkat kedua sehingga sinyal mengalami penguatan sebanyak 2 kali atau dengan kata lain gainnya sangat tinggi karena mengikuti jumlah stage yang digunakan. Kelebihan lain dari cascade adalah noise dan kestabilan yang lebih bagus dibandingkan dengan susun cascode. Oleh sebab itu peneliti menggunakan konfigurasi cascade dalam perancangan LNA.
III.2.5. Penentuan Jumlah Stage (Tingkat)

Adapun untuk menentukan jumlah stage (tingkat) adalah sesuai dengan kebutuhan LNA yang akan dirancang. Pada penelitian ini parameter LNA untuk gain adalah > 18 dB dan noise figure < 1 dB. Maka dari itu peneliti membuat rancangan LNA dengan konfigurasi cascade susun 3 tingkat, karena dikhawatirkan adanya ketidaksesuaian atau pergeseran pada saat pengukuran LNA. Berikut ini adalah gambar desain LNA susun 3 tingkat menggunakan ADS.

Gambar 3.3. Desain LNA Cascade Tiga Tingkat Pada Software ADS

III.2.6. Penentuan Jenis Impedance Matching

Ada beberapa cara yang digunakan untuk membuat saluran matching pada LNA, diantaranya saluran mikrostrip, L-network, T-network dan π (phi)-network. Pada penelitian ini, peneliti menggunakan konsep L-network karena impedansi matching ini
yang paling umum digunakan dan sederhana dalam merangkainya, cukup dengan L (induktor) dan C (kapasitor) saja.

Pada perangkat lunak advanced design system (ADS), impedance matching dapat dilakukan otomatis dengan menggunakan smith chart tool. Namun, untuk membandingkan dengan hasil perhitungan dapat menggunakan rumusan yang ada pada bab dua pada persamaan 2.34 – 2.35. Adapun konsep dari impedance matching menggunakan smith chart tool dapat dilihat pada gambar berikut ini.

Adapun tampilan awal konsep dari impedance matching menggunakan smith chart tool pada ADS dapat dilihat pada gambar berikut.
Gambar 3.6. Tampilan Awal Impedance Matching dengan Smith Chart Tool pada ADS

Konsep dari impedance matching otomatis menggunakan software ADS adalah sebagai berikut:

- Pada smith chart 1 (Z_{Source}), pengisian nilai impedansi input yang telah didapatkan pada hasil simulasi rangkaian biasing LNA adalah pada kotak Z_{L} ADS dan untuk kotak Z_{S}^* bernilai 50 + j*0.
- Pada smith chart 2 (Z_{Load}), pengisian nilai impedansi output yang telah didapatkan pada hasil simulasi rangkaian biasing LNA adalah pada kotak Z_{S}^* ADS dan untuk kotak Z_{L} bernilai 50 + j*0.

III.3. Tahap Desain Produk

III.3.1. Desain LNA dengan Advanced Design System 2009

Untuk merealisasikan sebuah LNA, diperlukan desain LNA terlebih dahulu. Desain dilakukan dengan bantuan software Advanced Design System (ADS) 2009. Pada
perancangan ini akan didesain low noise amplifier menggunakan konfigurasi cascade 3 tingkat. Tujuannya adalah untuk meningkatkan nilai gain, menurunkan nilai noise figure dan meningkatkan kestabilan rangkaian LNA. Pada perancangan, pembiasan yang digunakan untuk LNA ini adalah pembiasan self bias.

**III.3.2. Validasi Desain LNA**


![Gambar 3.7. Tampilan Tuning Pada Software ADS](image-url)
III.3.3. Desain *Layout* Rangkaian LNA dengan Altium 2009

Setelah proses validasi desain sebelum LNA difabrikasi, maka langkah yang harus dilakukan adalah membuat *layout* rangkaian LNA pada bantuan *software* Altium 2009. Sebelum membuat *layout*, dipastikan jarak antar kaki komponen telah diketahui agar pada saat penyolderan komponen tersebut sesuai (pas) dengan *pad*. Agar lebih mudah dalam membuat *layout*, maka skema rangkaian LNA dirangkai kembali pada Altium terlebih dahulu seperti berikut ini:

![Gambar 3.8. Desain Skema Rangkaian LNA Pada *Software* Altium 2009](image)

Gambar 3.8. Desain Skema Rangkaian LNA Pada *Software* Altium 2009
BAB IV
HASIL SIMULASI, PENGUKURAN DAN ANALISIS

IV.1. Hasil Pengujian Transistor Pada ADS


**Tabel 4.1. S-Parameter ATF-34143 Pada *Datasheet***

<table>
<thead>
<tr>
<th>Freq. Gz&lt;sub&gt;z&lt;/sub&gt;</th>
<th>S&lt;sub&gt;11&lt;/sub&gt; Mag.</th>
<th>S&lt;sub&gt;11&lt;/sub&gt; Ang.</th>
<th>S&lt;sub&gt;11&lt;/sub&gt; db</th>
<th>S&lt;sub&gt;21&lt;/sub&gt; Mag.</th>
<th>S&lt;sub&gt;21&lt;/sub&gt; Ang.</th>
<th>S&lt;sub&gt;21&lt;/sub&gt; db</th>
<th>S&lt;sub&gt;22&lt;/sub&gt; Mag.</th>
<th>S&lt;sub&gt;22&lt;/sub&gt; Ang.</th>
<th>S&lt;sub&gt;22&lt;/sub&gt; db</th>
</tr>
</thead>
<tbody>
<tr>
<td>0.5</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>1.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>2.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>3.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>4.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>5.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>6.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>7.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>8.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>9.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
<tr>
<td>10.0</td>
<td>0.05</td>
<td>-41</td>
<td>21.91</td>
<td>12.454</td>
<td>0.028</td>
<td>0.09</td>
<td>24.94</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

Untuk melihat S-parameter dari transistor menggunakan simulasi ADS, berikut ini adalah rangkaian dan tools yang digunakan pada ADS 2009.

**Gambar 4.1. Rangkaian Untuk Karakteristik S-Parameter Pada ADS**

Berikut ini adalah tabel dari hasil simulasi gambar rangkaian 4.1.

**Tabel 4.2. S-Parameter ATF-34143 Pada Simulasi ADS**

<table>
<thead>
<tr>
<th>Freq.</th>
<th>S(1,1)</th>
<th>S(1,2)</th>
<th>S(2,1)</th>
<th>S(2,2)</th>
</tr>
</thead>
<tbody>
<tr>
<td>500.0 MHz</td>
<td>0.950 / 41.000</td>
<td>0.028 / 88.000</td>
<td>12.454 / 150.000</td>
<td>0.290 / 41.000</td>
</tr>
<tr>
<td>1.000 MHz</td>
<td>0.950 / 41.000</td>
<td>0.028 / 88.000</td>
<td>12.454 / 150.000</td>
<td>0.290 / 41.000</td>
</tr>
<tr>
<td>1.500 MHz</td>
<td>0.950 / 41.000</td>
<td>0.028 / 88.000</td>
<td>12.454 / 150.000</td>
<td>0.290 / 41.000</td>
</tr>
<tr>
<td>2.000 MHz</td>
<td>0.950 / 41.000</td>
<td>0.028 / 88.000</td>
<td>12.454 / 150.000</td>
<td>0.290 / 41.000</td>
</tr>
<tr>
<td>2.500 MHz</td>
<td>0.950 / 41.000</td>
<td>0.028 / 88.000</td>
<td>12.454 / 150.000</td>
<td>0.290 / 41.000</td>
</tr>
</tbody>
</table>

Telah dibuktikan bahwa nilai S-parameter ATF-34143 pada *datasheet* sesuai dengan karakteristik di perangkat lunak *Advanced Design System 2009*. Terlihat nilai S<sub>21</sub>
(gain) pada simulasi ADS masih bernilai magnitude, untuk merubah ke dalam dB adalah sebagai berikut:

\[ 12.454^2 = 155.102 \]

\[ 10 \log (155.102) = 21.91 \text{dB (sesuai datasheet)} \]

### IV.2. Hasil Nilai Resistor pada Bias Transistor

Adapun perhitungan nilai resistor untuk rangkaian bias transistor dapat dihitung sebagai berikut:

Diketahui dari datasheet transistor:

- \( V_{DS} = 4 \text{ V} \)
- \( I_D = 60 \text{ mA} \)
- \( V_{GS} = -0.34 \text{ V} \)

Pada titik Q

Dengan memberi sumber pada \( V_{DD} \) sebesar 12 V, maka dapat dihitung nilai \( R_S \) dan \( R_D \) (menggunakan pers. 2.16 – 2.24).

- \( V_{GS} = -I_D \cdot R_S \)
  
  \[ R_S = \frac{V_{GS}}{I_D} = \frac{0.34 \text{ V}}{60 \text{ mA}} = 5.6 \Omega \]

- \( V_{DS} = V_{DD} - I_D (R_D + R_S) \)
  
  \[ I_D \cdot R_D = V_{DD} - V_{DS} - I_D \cdot R_S \]
  
  \[ R_D = \frac{V_{DD} - V_{DS} - I_D \cdot R_S}{I_D} \]
  
  \[ R_D = \frac{12V - 4V - 60\text{ mA} \cdot 5.6\Omega}{60\text{ mA}} = 127.73 \Omega \]

- Ketika \( I_G \cong 0 \), \( R_G \) diaproksimasikan sebesar mungkin. \( R_G = 1\text{M} \Omega \)

Berikut ini adalah tabel perbandingan nilai resistor perhitungan dengan yang ada di pasaran.

### Tabel 4.3. Hasil Penyesuaian Nilai Resistor Yang Ada di Pasaran

<table>
<thead>
<tr>
<th>Resistor</th>
<th>Perhitungan (Ω)</th>
<th>Sebenarnya (Ω)</th>
<th>Selisih (Ω)</th>
</tr>
</thead>
<tbody>
<tr>
<td>( R_S )</td>
<td>5.6</td>
<td>4.7</td>
<td>0.9</td>
</tr>
<tr>
<td>( R_D )</td>
<td>127.73</td>
<td>120</td>
<td>7.73</td>
</tr>
<tr>
<td>( R_G )</td>
<td>1\text{M}</td>
<td>1\text{M}</td>
<td>0</td>
</tr>
</tbody>
</table>
IV.3. Hasil Penyesuaian Nilai $C_{\text{blocking}}$, $C_{\text{bypass}}$ dan $L_{\text{blocking}}$

Nilai $C_{\text{blocking}}$, $C_{\text{bypass}}$ dan $L_{\text{blocking}}$ (untuk $C_{\text{feed}}$) tidak diperhitungkan seperti pada resistor, akan tetapi disimulasikan pada ADS yang kemudian dipilih hasil simulasi dengan parameter yang terbaik. Berikut ini adalah gambar rangkaian bias pada saat nilai $C_{\text{blocking}}$, $C_{\text{bypass}}$ dan $L_{\text{blocking}}$ belum diiterasi untuk mendapatkan parameter yang bagus.

Parameter awal yang dilihat pada simulasi adalah cukup dengan nilai $S_{21}$ (gain), noise figure dan faktor kestabilan (K). Untuk menghasilkan parameter tersebut dibutuhkan tools untuk menjalankan rangkaian pada ADS.

Hasil simulasi tersebut dapat dilihat pada gambar berikut ini.
Gambar 4.4. Hasil Simulasi Sebelum $C_{blocking}$, $C_{bypass}$ dan $L_{blocking}$ diIterasi

Dapat dilihat bahwa hasil simulasi tersebut masih jauh dari parameter yang diinginkan. Berikut ini adalah gambar rangkaian bias pada saat nilai $C_{blocking}$, $C_{bypass}$ dan $L_{blocking}$ telah diiterasi dan disesuaikan dengan nilai yang terdapat di pasaran.

Gambar 4.5. Nilai Komponen Setelah $C_{blocking}$, $C_{bypass}$ dan $L_{blocking}$ diIterasi

Adapun hasil simulasi dari gambar rangkaian tersebut adalah sebagai berikut.

Gambar 4.6. Hasil Simulasi Setelah $C_{blocking}$, $C_{bypass}$ dan $L_{blocking}$ diIterasi
Berikut ini adalah tabel perbandingan saat nilai $C_{\text{blocking}}$, $C_{\text{bypass}}$ dan $L_{\text{blocking}}$ sebelum dan sesudah tahap iterasi.

**Tabel 4.4. Perbandingan Nilai Komponen $C_{\text{blocking}}$, $C_{\text{bypass}}$ dan $L_{\text{blocking}}$ Sebelum dan Sesudah diIterasi**

<table>
<thead>
<tr>
<th>Komponen</th>
<th>Nilai Sebelum Iterasi</th>
<th>Nilai Sesudah Iterasi</th>
</tr>
</thead>
<tbody>
<tr>
<td>$C_{\text{blocking}}$</td>
<td>1µF</td>
<td>47pF</td>
</tr>
<tr>
<td>$C_{\text{bypass}}$</td>
<td>1µF</td>
<td>47pF</td>
</tr>
<tr>
<td>$L_{\text{blocking}}$</td>
<td>1mH</td>
<td>1nH</td>
</tr>
</tbody>
</table>

Penambahan komponen $C_{\text{blocking}}$ pada rangkaian bias transistor adalah sebagai DC block, sehingga aliran sinyal DC sebagai biasing transistor menjadi maksimal dan juga berguna agar sinyal DC tidak masuk ke port RF. Penambahan komponen $L_{\text{blocking}}$ berguna sebagai DC feed yang akan memblok sinyal RF sehingga tidak mempengaruhi kondisi biasing. Dan komponen $C_{\text{bypass}}$ berguna sebagai rangkaian short saat sinyal RF ada yang mengalir di daerah source transistor, sehingga dengan demikian $R_s$ tidak diperhitungkan sebagai beban dari transistor.

**IV.4. Hasil Penyesuaian Jumlah Stage**

Pada gambar 4.5 merupakan rangkaian LNA 1 stage (tingkat) dan gambar 4.6 adalah hasil simulasi dari ADS. Untuk parameter noise figure dan faktor kestabilan telah memenuhi parameter LNA (NF < 1dB dan K > 1), akan tetapi nilai $S_{21}$ (gain) belum sesuai dengan parameter yang diharapkan ($S_{21}$ > 18 dB), oleh sebab itu perlu dilakukan konfigurasi LNA dengan metode cascade agar gain yang dihasilkan lebih besar. Berikut ini adalah gambar rangkaian LNA konfigurasi cascade 2 tingkat.
Adapun hasil simulasi dari gambar rangkaian tersebut adalah sebagai berikut.

Dapat dilihat hasil dari kestabilan transistor naik seiring bertambahnya jumlah stage (tingkat) begitupun dengan nilai gain yang naik 2x lipat dari hasil simulasi LNA 1 tingkat. Karena dikhawatirkan saat pengukuran fabrikasi LNA mengalami pergeseran frekuensi, maka peneliti menambahkan satu tingkat lagi agar gain yang didapat lebih maksimum, kestabilan bertambah dan nilai noise figure menurun. Berikut ini adalah gambar rangkaian LNA konfigurasi cascade 3 tingkat.
Gambar 4.9. Rangkaian LNA Konfigurasi Cascade 3 Tingkat

Adapun hasil simulasi dari gambar rangkaian tersebut adalah sebagai berikut.

Gambar 4.10. Hasil Simulasi LNA Konfigurasi Cascade 3 Tingkat

Berikut ini adalah tabel hasil perbandingan jumlah stage (tingkat) rangkaian LNA pada ADS.

Tabel 4.5. Perbandingan Hasil Simulasi Berdasarkan Jumlah Stage Rangkaian LNA Pada ADS

<table>
<thead>
<tr>
<th>Spesifikasi</th>
<th>SIMULASI</th>
<th>Stage 1</th>
<th>Stage 2</th>
<th>Stage 3</th>
</tr>
</thead>
<tbody>
<tr>
<td>$S_{21}$ (gain)</td>
<td></td>
<td>10.7731 dB</td>
<td>21.7877 dB</td>
<td>32.8166 dB</td>
</tr>
<tr>
<td>Noise figure (nf2)</td>
<td></td>
<td>0.6974 dB</td>
<td>0.7319 dB</td>
<td>0.7346 dB</td>
</tr>
<tr>
<td>Kestabilan (K)</td>
<td></td>
<td>1.3617</td>
<td>4.0327</td>
<td>11.0159</td>
</tr>
</tbody>
</table>
IV.5. Hasil Nilai Komponen Penyesuai Impedansi

Pada tahap penyesuaian impedansi, peneliti menggunakan smith chart tools pada ADS untuk mencari nilai komponen matching secara otomatis dan membandingkannya dengan hasil perhitungan. Sebelum melakukan penyesuaian impedansi, maka harus didapatkan terlebih dahulu nilai impedansi input dan output pada gambar 4.9 rangkaian LNA serta menambahkan tools simulator “Zin” pada ADS. Berikut ini adalah tambahan tools simulator “Zin” untuk mendapatkan nilai impedansi input dan output.

Setelah menambahkan tools simulator “Zin” pada ADS, barulah running ADS untuk mendapatkan nilai impedansi input dan output. Berikut ini adalah hasil simulationsnya.

Gambar 4.11. Tools Simulator “Zin”

Gambar 4.12. Hasil Nilai Impedansi Input dan Output

Setelah mendapatkan nilai impedansi input dan output, langkah selanjutnya adalah menambahkan komponen simulasi ADS berupa “DA_SmithChartMatch” pada...
gambar 4.9 untuk proses penyesuaian impedansi otomatis pada ADS. Berikut ini adalah gambar rangkaian LNA 3 tingkat yang telah ditambahkan komponen “DA_SmithChartMatch”.

Gambar 4.13. Penambahan Komponen Simulasi “DA_SmithChartMatch”

**IV.5.1. Penyesuai Impedansi Input**

Setelah mendapatkan nilai impedansi input pada simulasi gambar 4.9 dan telah ditambahkan komponen simulasi “DA_SmithChartMatch” seperti pada gambar 4.13, maka selanjutnya adalah penyesuaian impedansi otomatis pada ADS. Sesuai dengan konsep smith chart tools pada ADS, jika ingin menyesuaikan impedansi input maka pemilihan nilai dilakukan pada smith chart match satu dan hasil simulasi nilai impedansi input diisi pada bagian ZL(ADS) dan pada bagian ZS*(ADS) diberikan nilai 50+j*0 seperti yang ditunjukkan pada gambar berikut ini.
Setelah *Auto2-ElementMatch*, muncul pilihan L-`Network` seperti pada gambar berikut ini.

Karena konfigurasi L-`Network` tipe LPF nilai komponen C `input matching` yang tidak memungkinkan (fF) , maka dipilih konfigurasi L-`Network` tipe HPF.

Adapun untuk memperoleh rangkaian penyesuai impedansi `input` tersebut dapat dilakukan dengan perhitungan manual menggunakan bantuan *smith chart*. Langkah perhitungannya dapat dilakukan sebagai berikut (Materi Kuliah Politeknik Negeri Bandung: 11-17).

- Normalisasi $Z_{in}$

$$Z_{in} = \frac{Z_{in}}{Z_0} = \frac{60.327 - j39.579}{50} = 1.2 - j0.8$$
➢ Mencari nilai yin, \( y_A \) dan \( z_A \) menggunakan bantuan smith chart

Untuk nilai \( r > 1 \), maka harus diputar 180° untuk mendapatkan \( y_{in} = 0,6 + j0,38 \). Dari \( y_{in} \) bergerak ke \( y_A \) dan diperoleh \( y_A = 0,6 + j0,48 \). Karena nilai \( r > 1 \), maka elemen pertama dari penyesuai adalah \( jb_1 = y_A - y_{in} = +j0,1 \). Karena suseptansi berharga positif, maka elemen paralel ini berupa kapasitor.

Elemen kedua adalah reaktansi seri dengan nilai reaktansi \( jx_2 = 1 - zA \). Dari gambar 4.16, \( zA = 1 - j0,73 \) sehingga \( jx_2 = +j0,73 \). Karena reaktansi bernilai positif, maka elemen seri ini berupa induktor.


Karena rangkaian penyesuaian impedansi output pada smith chart tools ADS yang dipilih adalah tipe HPF dengan komponen paralel berupa induktor, maka dalam perhitungan juga akan dibuat untuk komponen penyesuai impedansi paralel berupa induktor.

Jika pada hasil yang pertama nilai suseptansi \( jb_1 \) adalah +j0,1, maka pada perhitungan ini \( jb_1 \) direference menjadi \( -j0,86 \). Dan begitu pula pada reaktansi \( jx_2 \) direference menjadi \( -j0,73 \). Untuk menghitung nilai komponen seri dan paralel LC dapat menggunakan persamaan pada bab 2 pada 2.34 – 2.35.

➢ Menghitung nilai L paralel

\[
L = -N \omega b \quad \text{(minus karena rangkaian direference)}
\]

\[
L = -\frac{50 \Omega}{2\pi \times 1,8425 \times 10^9 \times -0,86} = 5,02 \, \text{nH}
\]
Menghitung nilai C seri

\[
C = \frac{-1}{2\pi f \times N}
\]

\[
C = \frac{-1}{2\pi \times 1.8425 \times 10^9 \times 0.7350 \Omega} = 2.36 \text{ pF}
\]

Berikut ini adalah tabel perbandingan antara nilai komponen penyesuai impedansi input otomatis menggunakan smith chart tools ADS dengan perhitungan manual menggunakan bantuan smith chart.

**Tabel 4.6. Hasil Nilai Penyesuai Komponen Impedansi Input**

<table>
<thead>
<tr>
<th>Komponen Penyesuai</th>
<th>Impedansi Input</th>
<th>Perhitungan</th>
<th>Selisih</th>
</tr>
</thead>
<tbody>
<tr>
<td>C seri</td>
<td>2,03 pF</td>
<td>2,36 pF</td>
<td>0,3 pF</td>
</tr>
<tr>
<td>L paralel</td>
<td>4,94 nH</td>
<td>5,02 nH</td>
<td>0,08 nH</td>
</tr>
</tbody>
</table>

**IV.5.2. Penyesuai Impedansi Output**

Setelah mendapatkan nilai impedansi output pada simulasi gambar 4.9 dan telah ditambahkan komponen simulasi “DA_SmithChartMatch” seperti pada gambar 4.13, maka selanjutnya adalah penyesuaian impedansi otomatis pada ADS. Sesuai dengan konsep smith chart tools pada ADS, jika ingin menyesuaikan impedansi output maka pemilihan nilai dilakukan pada smith chart dua dan hasil simulasi nilai impedansi output diisi pada bagian ZS* (ADS) dan pada bagian ZL (ADS) diberikan nilai 50+j*0 seperti yang ditunjukkan pada gambar berikut ini.

Gambar 4.17. Proses Penyesuai Impedansi Output Pada ADS
Setelah *Auto2-ElementMatch*, muncul pilihan L-Network seperti pada gambar berikut ini.

![Gambar 4.18. Pilihan Rangkaian Penyesuai Impedansi Output](image)

Karena konfigurasi L-Network tipe LPF nilai komponen *C input matching* yang tidak memungkinkan (fF), maka dipilih konfigurasi L-Network tipe HPF.

Adapun untuk memperoleh rangkaian penyesuai impedansi output tersebut dapat dilakukan dengan perhitungan manual menggunakan bantuan *smith chart*. Langkah perhitungannya dapat dilakukan sebagai berikut:

- Normalisasi $Z_L$
  
  $$Z_L = \frac{Z_A}{Z_0} = \frac{52.097 - j4.375}{50} = 1.04 - j0.09$$

- Mencari nilai $y_L$, $y_A$ dan $z_A$ menggunakan bantuan *smith chart*

Untuk nilai $r > 1$, maka harus diputar $180^\circ$ untuk mendapatkan $y_L = 0.95 + j0.06$. Dari $y_L$ bergerak ke $y_A$ dan diperoleh $y_A = 0.95 + j0.09$. Karena nilai $r > 1$, maka elemen pertama dari penyesuai adalah $jb1 = y_A - y_L = +j0.03$. Karena suseptansi berharga positif, maka elemen paralel ini berupa kapasitor.

Elemen kedua adalah reaktansi seri dengan nilai reaktansi $jx2 = 1 - zA$. Dari gambar 4.19, $zA = 1 - j0.2$ sehingga $jx2 = +j0.2$. Karena reaktansi bernilai positif, maka elemen seri ini berupa induktor.
Karena rangkaian penyesuaian impedansi output pada smith chart tools ADS yang dipilih adalah tipe HPF dengan komponen paralel berupa induktor, maka dalam perhitungan juga akan dibuat untuk komponen penyesuaian impedansi paralel berupa induktor.

Jika pada hasil yang pertama nilai suseptansi $jb_1$ adalah $+0,03$, maka pada perhitungan ini $jb_1$ direverse menjadi $–0,15$. Dan begitu pula pada reaktansi $jx_2$ direverse menjadi $–0,2$. Untuk menghitung nilai komponen seri dan paralel LC dapat menggunakan persamaan pada bab 2 pada 2.34 – 2.35.

- **Menghitung nilai L paralel**
  \[
  L = \frac{-N}{\omega b} \quad \text{(minus karena rangkaian direverse)}
  \]
  \[
  L = \frac{-50\Omega}{2\pi \cdot 1.8425 \times 10^9 \cdot -0.15} = 29 \text{ nH}
  \]

- **Menghitung nilai C seri**
  \[
  C = \frac{-1}{\omega \times N}
  \]
  \[
  C = \frac{-1}{2\pi \cdot 1.8425 \times 10^9 \cdot -0.2 \cdot 500\Omega} = 8,63 \text{ pF}
  \]

Berikut ini adalah tabel perbandingan antara nilai komponen penyesuaian impedansi output otomatis menggunakan smith chart tools ADS dengan perhitungan manual menggunakan bantuan smith chart.

Tabel 4.7. Hasil Nilai Penyesuai Komponen Impedansi Output

<table>
<thead>
<tr>
<th>Komponen Penyesuai</th>
<th>Impedansi Output</th>
<th>Simulasi</th>
<th>Perhitungan</th>
<th>Selisih</th>
</tr>
</thead>
<tbody>
<tr>
<td>L paralel</td>
<td></td>
<td>32,83 nH</td>
<td>29 nH</td>
<td>3,83 nH</td>
</tr>
<tr>
<td>C seri</td>
<td></td>
<td>7,78 pF</td>
<td>8,63 pF</td>
<td>0.85 pF</td>
</tr>
</tbody>
</table>

IV.6. Hasil Akhir Rangkaian LNA

Setelah didapatkan nilai komponen untuk penyesuai impedansi input dan output menggunakan smith chart tools ADS maupun perhitungan manual menggunakan bantuan smith chart, langkah selanjutnya adalah menambahkan rangkaian L-Network input dan output matching ke dalam gambar rangkaian 4.9. Pada penambahan rangkaian L-Network ini peneliti menggunakan nilai komponen berdasarkan hasil simulasi otomatis pada ADS. Untuk lebih jelasnya dapat dilihat pada gambar berikut ini.

Gambar 4.20. Penambahan Rangkaian L-Network Penyesuai Impedansi Input dan Output

Setelah semua nilai komponen didapatkan, langkah selanjutnya adalah melihat semua parameter pada hasil simulasi ADS diantaranya, $S_{11}$ (input return loss), $S_{21}$ (gain), $S_{22}$ (output return loss), noise figure, kestabilan transistor (K), Impedansi input dan output serta VSWR input dan output. Untuk mendapatkan hasil simulasi VSWR input dan output, maka perlu ditambahkan kembali tools simulator ADS seperti gambar berikut ini.
Setelah dilihat pada hasil simulasi tersebut semua parameter telah memenuhi spesifikasi LNA yang diharapkan. Akan tetapi nilai $S_{22}$ (output return loss) masih belum maksimal (rentang -20 dB), oleh sebab itu perlu dilakukan proses tuning pada komponen matching karena dikhawatirkan ada pergeseran pada saat pengukuran setelah difabrikasi. Berikut ini adalah tampilan proses tuning pada rangkaian penyesuai impedansi input dan output.

Terdapat dua tambahan nilai komponen pada rangkaian penyesuai impedansi input karena menyesuaikan dengan nilai yang terdapat di pasaran. Berikut ini adalah rangkaian LNA akhir yang telah memenuhi semua parameter LNA yang diharapkan dan telah menyesuaikan dengan nilai yang terdapat di pasaran.
Gambar 4.23. Rangkaian Akhir Low Noise Amplifier Cascade 3 Tingkat

Adapun daftar nilai komponen rangkaian LNA dapat dilihat pada tabel berikut ini.

Tabel 4.8. Daftar Nilai Komponen Rangkaian Akhir LNA

<table>
<thead>
<tr>
<th>Komponen</th>
<th>Nilai (Spesifikasi)</th>
<th>Vendor</th>
<th>Jumlah (pcs)</th>
</tr>
</thead>
<tbody>
<tr>
<td>Transistor</td>
<td>ATF-34143 (SMD)</td>
<td>Shenzen AmberSu Electronic</td>
<td>3</td>
</tr>
<tr>
<td>Induktor</td>
<td>2,7 nH (SMD 0805)</td>
<td>Liong Electronics Technology co, LTD</td>
<td>1</td>
</tr>
<tr>
<td>Induktor</td>
<td>33 nH (SMD 0805)</td>
<td>Liong Electronics Technology co, LTD</td>
<td>1</td>
</tr>
<tr>
<td>Induktor</td>
<td>2,2 nH (SMD 0805)</td>
<td>Sfe Electronics, Malang</td>
<td>1</td>
</tr>
<tr>
<td>Induktor</td>
<td>1 nH (SMD 0805)</td>
<td>Sfe Electronics, Malang</td>
<td>6</td>
</tr>
<tr>
<td>Kapasitor</td>
<td>22 pF (SMD 0805)</td>
<td>Sfe Electronics, Malang</td>
<td>1</td>
</tr>
<tr>
<td>Kapasitor</td>
<td>2,2 pF (SMD 0805)</td>
<td>Sfe Electronics, Malang</td>
<td>1</td>
</tr>
<tr>
<td>Kapasitor</td>
<td>47 pF (SMD 0805)</td>
<td>Sfe Electronics, Malang</td>
<td>8</td>
</tr>
<tr>
<td>Resistor</td>
<td>1K Ω (SMD 0805)</td>
<td>Sfe Electronics, Malang</td>
<td>1</td>
</tr>
<tr>
<td>Resistor</td>
<td>120 Ω (SMD 0805)</td>
<td>Sfe Electronics, Malang</td>
<td>3</td>
</tr>
<tr>
<td>Resistor</td>
<td>4,7 Ω (SMD 0805)</td>
<td>Indo-wire, Surabaya</td>
<td>3</td>
</tr>
<tr>
<td>Resistor</td>
<td>1M Ω (SMD 0805)</td>
<td>Indo-wire, Surabaya</td>
<td>3</td>
</tr>
</tbody>
</table>

IV.7. Hasil Desain Layout LNA Pada Altium 2009

Setelah semua rangkaian LNA dirancang pada software ADS dan semua nilai komponen telah disesuaikan dengan yang terdapat di pasaran, langkah selanjutnya adalah membuat layout LNA menggunakan software Altium yang nantinya akan lanjut proses fabrikasi. Berikut ini adalah gambar hasil desain layout LNA pada Altium 2009.
IV.8. Hasil Simulasi LNA Pada ADS 2009

Dalam perancangan LNA dengan menggunakan Advanced Design System 2009 sebagai software simulator, hal terpenting adalah mencari nilai komponen yang tepat agar LNA yang dirancang memiliki spesifikasi yang diharapkan. Untuk memperoleh syarat pada spesifikasi tersebut, maka dilakukan simulasi percobaan hingga memperoleh hasil yang tepat. Berikut adalah hasil simulasi untuk LNA dengan desain konfigurasi cascade 3 tingkat menggunakan pembiasan self bias.

IV.8.1. S_{11} (Input Return Loss)

Gambar 4.26. Gambar Hasil Simulasi S_{11} (Input Return Loss)
Grafik hasil simulasi gambar 4.26 menunjukkan bahwa rancangan LNA konfigurasi cascade 3 tingkat telah memenuhi spesifikasi jangkauan frekuensi yang diharapkan yaitu 1,805 – 1,880 GHz dengan frekuensi tengah adalah 1,8425 GHz dan dengan nilai return loss adalah –42,8449 dB.

IV.8.2. S22 (Output Return Loss)

Grafik hasil simulasi gambar 4.27 menunjukkan bahwa rancangan LNA konfigurasi cascade 3 tingkat telah memenuhi spesifikasi jangkauan frekuensi yang diharapkan yaitu 1,805 – 1,880 GHz dengan frekuensi tengah adalah 1,8425 GHz dan dengan nilai return loss adalah –41,3785 dB. Grafik Output Return Loss ini tidak sebagus grafik Input Return Loss dikarenakan peneliti menyesuaikan dengan nilai komponen yang terdapat di pasaran, akan tetapi grafik tersebut telah memenuhi persyaratan return loss yaitu < - 10 dB.
IV.8.3. $S_{21}$ (Gain)

Gambar 4.28. Grafik Hasil Simulasi $S_{21}$ (Gain)

Grafik hasil simulasi gambar 4.28 menunjukkan bahwa rancangan LNA konfigurasi cascade 3 tingkat telah memenuhi spesifikasi nilai gain yang diharapkan yaitu $> 18$ dB yang bekerja pada frekuensi tengah 1,8425 GHz dan dengan nilai gain yang dihasilkan sebesar 33,3895.

IV.8.4. Noise Figure

Gambar 4.29. Grafik Hasil Simulasi Noise Figure

Grafik hasil simulasi gambar 4.29 menunjukkan bahwa rancangan LNA konfigurasi cascade 3 tingkat telah memenuhi spesifikasi nilai noise figure yang
diharapkan yaitu < 1 dB yang bekerja pada frekuensi tengah 1.8425 GHz. Nilai *noise figure* yang dijadikan acuan adalah nilai *nf(2)* yang menghasilkan nilai sebesar 0.4835 dB.

**IV.8.5. Kestabilan Transistor (K)**

Gambar 4.30. Grafik Hasil Simulasi Kestabilan Transistor (K)

Grafik hasil simulasi gambar 4.30 menunjukkan bahwa rancangan LNA konfigurasi *cascade* 3 tingkat telah memenuhi spesifikasi nilai kestabilan yang diharapkan yaitu > 1 yang bekerja pada frekuensi tengah 1.8425 GHz dan nilai K yang dihasilkan sebesar 11.0159.

**IV.8.6. VSWR Input & Output**

Gambar 4.31. Grafik Hasil Simulasi VSWR Input dan Output
Grafik hasil simulasi gambar 4.31 menunjukkan bahwa rancangan LNA konfigurasi cascade 3 tingkat telah memenuhi spesifikasi nilai VSWR yang diharapkan yaitu < 2 yang bekerja pada frekuensi tengah 1,8425 GHz. Nilai VSWR input yang dihasilkan sebesar 1,0145 dan VSWR output yang dihasilkan sebesar 1,0172.

**IV.8.7. Impedansi Input & Output**

<table>
<thead>
<tr>
<th>frekuensi</th>
<th>impedansi input</th>
<th>impedansi output</th>
</tr>
</thead>
<tbody>
<tr>
<td>1,805 GHz</td>
<td>49,3536 – j0,5617</td>
<td>50,8480 + j0,1461</td>
</tr>
<tr>
<td>1,8425 GHz</td>
<td>49,5536 – j0,5617</td>
<td>50,8480 + j0,1461</td>
</tr>
<tr>
<td>1,880 GHz</td>
<td>50,3800 + j0,1461</td>
<td>50,8480 + j0,1461</td>
</tr>
</tbody>
</table>

Gambar 4.32. Grafik Hasil Simulasi Impedansi Input dan Output

Grafik hasil simulasi gambar 4.32 menunjukkan bahwa rancangan LNA konfigurasi cascade 3 tingkat telah memenuhi spesifikasi nilai impedansi input dan output yang diharapkan yaitu ≈ 50 Ω. Pada frekuensi tengah 1,8425 GHz nilai impedansi input yang dihasilkan sebesar 49,5536 – j0,5617 dan nilai impedansi output yang dihasilkan sebesar 50,8480 + j0,1461. Nilai impedansi input dan output untuk frekuensi bawah (1,805 GHz) dan frekuensi atas (1,880 GHz) juga mendekati nilai 50 Ω.

**IV.9. Hasil Fabrikasi LNA**

Setelah dilakukan simulasi untuk mendapatkan hasil parameter yang sesuai dengan spesifikasi, maka fabrikasi low noise amplifier dengan konfigurasi cascade 3
tingkat dapat direalisasikan. Berikut ini adalah fabrikasi LNA yang direalisasikan sesuai dengan perancangan:

![Gambar 4.33. Hasil Fabrikasi LNA (a) Tampak Depan dan (b) Tampak Belakang](image1)

Dapat dilihat ukuran panjang pcb LNA setelah difabrikasi sebesar 114,5 mm dan lebar pcb LNA sebesar 47 mm. Terdapat selisih 0.6 mm pada ukuran panjang pcb dan selisih 1 mm untuk lebar pcb LNA pada desain layout menggunakan Altium. Setelah proses fabrikasi, langkah selanjutnya adalah proses penyolderan komponen LNA. Namun sebaiknya dicek terlebih dahulu jalur pcb tersebut menggunakan Multimeter, dikhawatirkan ada yang jalur yang tidak semestinya short atau open, terutama cek pada bagian through hole pcb. Berikut ini adalah gambar LNA yang telah dipasang komponennya.

![Gambar 4.34. Komponen LNA Yang Telah Disolder (a) Tampak Depan dan (b) Tampak Belakang](image2)
IV.10. Hasil Pengukuran dengan Vector Network Analyzer

Pengukuran terhadap LNA dilakukan setelah LNA dirancang melalui simulasi Advanced Design System 2009 dan difabrikasi secara fisik serta tahap penyolderan komponen LNA. Pengukuran dilakukan untuk mengetahui karakteristik LNA yang telah direalisasikan, sehingga dapat diketahui parameter- parameter LNA tersebut untuk kemudian dijadikan tolak kelayakan serta bahan perbandingan dengan hasil perhitungan secara teori dan hasil simulasi software. Pengukuran pada vector network analyzer dilakukan pada rentang frekuensi 1,7 GHz sampai 2 GHz. Dengan menggunakan vector network analyzer ini parameter LNA yang diukur diantaranya, S_{11} (input return loss), VSWR input, S_{22} (output return loss), VSWR output dan S_{21} (gain).

IV.10.1. Pengukuran S_{11} (Input Return Loss)

Pada hasil pengukuran S_{11} (input return loss) terjadi pergeseran frekuensi yang signifikan, dimana frekuensi tengah yang diharapkan adalah pada titik 1,8425 GHz sedangkan pada hasil pengukuran frekuensi bergeser pada titik 1,724 GHz. Hasil
pengukuran $S_{11}$ (*input return loss*) belum sesuai dengan parameter LNA yang diharapkan dan berbeda dengan hasil simulasi, dimana pada frekuensi 1,8425 GHz $S_{11}$ (*input return loss*) bernilai – 3,1404 dB dan pada frekuensi 1,724 GHz $S_{11}$ (*input return loss*) bernilai – 7,2341 dB, nilai tersebut masih > -10 dB.

**IV.10.2. Pengukuran VSWR Input**

![Gambar 4.36. Hasil Pengukuran VSWR Input](image)

Pada hasil pengukuran VSWR *input* juga terjadi pergeseran frekuensi yang signifikan, dimana frekuensi tengah yang diharapkan adalah pada titik 1,8425 GHz sedangkan pada hasil pengukuran frekuensi bergeser pada titik 1,724 GHz. Hasil pengukuran VSWR *input* belum sesuai dengan parameter LNA dan berbeda dengan hasil simulasi, dimana pada frekuensi 1,8425 GHz VSWR *input* bernilai 5,59 dan pada frekuensi 1,724 GHz VSWR *input* bernilai 2,53, nilai tersebut masih > 2.
IV.10.3. Pengukuran $S_{22}$ (Output Return Loss)

Pada hasil pengukuran $S_{22}$ (output return loss) terlihat nilai return loss cenderung stabil pada angka mendekati nilai – 7 dB. Hasil pengukuran $S_{22}$ (output return loss) belum sesuai dengan parameter LNA yang diharapkan dan berbeda dengan hasil simulasi, dimana pada frekuensi kerja 1,8425 GHz $S_{22}$ (output return loss) bernilai – 7,1889 dB dan nilai return loss tertinggi terjadi pada frekuensi 1,799 GHz dengan nilai $S_{22}$ (output return loss) sebesar – 7,2839 dB, akan tetapi nilai tersebut masih > -10 dB.
IV.10.4. Pengukuran VSWR Output

Gambar 4.38. Hasil Pengukuran VSWR Output

Pada hasil pengukuran VSWR output terlihat nilai VSWR cenderung stabil pada angka mendekati nilai 2.5. Hasil pengukuran VSWR output belum sesuai dengan parameter LNA yang diharapkan dan berbeda dengan hasil simulasi, dimana pada frekuensi kerja 1,8425 GHz VSWR output bernilai 2,552 dan nilai VSWR terbaik terjadi pada frekuensi 1,799 GHz dengan nilai VSWR output sebesar 2,523, akan tetapi nilai tersebut masih > 2.
IV.10.5. Pengukuran $S_{21}$ (Gain)

Gambar 4.39. Posisi Nilai $S_{21}$ (Gain) Pada Bagian Input

Gambar 4.40. Posisi Nilai $S_{21}$ (Gain) Pada Bagian Output
Dapat dilihat pada gambar 4.40 bahwa terjadi kenaikan sinyal output terhadap sinyal input, akan tetapi frekuensi kerja bergeser ke titik 1,735 GHz dari titik tengah 1,8425 GHz. Besarnya nilai $S_{21}$ ($gain$) yang terukur pada frekuensi 1,8425 GHz sebesar 12,92 dB, dan Besarnya nilai $S_{21}$ ($gain$) yang terukur pada frekuensi 1,735 GHz sebesar 19,722 dB. Nilai tersebut didapatkan dari perubahan kenaikan sinyal output terhadap sinyal input. Hasil pengukuran $S_{21}$ ($gain$) untuk frekuensi tengah (1,8425 GHz) belum sesuai dengan parameter LNA yang diharapkan dan berbeda dengan hasil simulasi. Akan tetapi pada frekuensi 1,735 GHz telah memenuhi spesifikasi yang diharapkan, yaitu > 18 dB.

**IV.11. Perbandingan Hasil Simulasi Dengan Hasil Pengukuran LNA Desain Awal**

Dalam penelitian terdapat perbandingan antara hasil simulasi dan pengukuran. Parameter yang dapat dibandingkan adalah frekuensi kerja, $S_{11}$ ($Input Return Loss$), VSWR input, $S_{22}$ ($Output Return Loss$), VSWR output dan $S_{21}$ ($gain$). Perbandingan hasil simulasi dengan pengukuran disajikan dalam bentuk grafik. Gambar 4.44 berikut ini menunjukkan perbandingan hasil simulasi $S_{11}$ ($Input Return Loss$) dengan hasil pengukuran.

![Simulasi vs Pengukuran $S_{11}$](image-url)

Gambar 4.44. Grafik Perbandingan Simulasi dan Pengukuran Terhadap $S_{11}$ ($Input Return Loss$)
Perbandingan hasil simulasi dan pengukuran VSWR *Input* ditunjukkan pada gambar 4.45.

![Gambar 4.45. Grafik Perbandingan Simulasi dan Pengukuran Terhadap VSWR *Input*](image)

Perbandingan hasil simulasi dan pengukuran $S_{22}$ (*Output Return Loss*) ditunjukkan pada gambar 4.46.

![Gambar 4.46. Grafik Perbandingan Simulasi dan Pengukuran Terhadap $S_{22}$ (*Output Return Loss*)](image)

Perbandingan hasil simulasi dan pengukuran VSWR *output* ditunjukkan pada gambar 4.47.
Perbandingan hasil simulasi dan pengukuran $S_{21}$ (gain) ditunjukkan pada gambar 4.48.

Perbedaan hasil simulasi low noise amplifier menggunakan ADS 2009 dengan hasil pengukuran menggunakan vector network analyzer disebabkan oleh beberapa faktor diantaranya:

1. Perbedaan nilai komponen LNA
   
   Nilai komponen pasif yang digunakan untuk fabrikasi berbeda dengan nilai komponen saat simulasi, hal ini dikarenakan dalam dunia nyata komponen mempunyai nilai toleransi beberapa persen tidak seideal pada simulasi, disamping itu peneliti juga

2. Timbulnya komponen parasitic
   - Ketika sinyal RF melalui kapasitor
     
     Kapasitor yang telah disolder pada PCB kemudian dilewati sinyal RF akan mempunyai model sirkuit seperti gambar berikut ini (Budiardhianto, 2011: 66).

     ![Gambar 4.49. Model Kapasitor Pada PCB Yang Dilewati Sinyal RF](image)

     
Ketika sinyal RF melalui induktor

Induktor yang telah disolder pada PCB kemudian dilewati sinyal RF akan mempunyai model sirkuit seperti gambar berikut ini (Budiardhianto, 2011: 67).

![Gambar 4.50. Model Induktor Pada PCB Yang Dilewati Sinyal RF](image)

Pada induktor akan muncul nilai $R_X$ sebagai resistansi lilitan, selain itu muncul kapasitansi $C_X$ akibat perbedaan tegangan antar lilitan. Sama seperti halnya pada kapasitor, induktor yang telah disolder ke PCB dan dilewati sinyal RF akan muncul kapasitansi tambahan antara *pad* dan *ground* yang dimodelkan dengan $C_P$.

3. Penyolderan komponen SMD secara manual

Penyolderan komponen SMD membutuhkan tingkat keahlian yang tinggi karena dimensi SMD yang hanya berukuran mm. Hasil solderan manual yang tidak bagus sangat mempengaruhi respon frekuensi saat pengukuran LNA (seperti *point 2*). Karena pada industri besar, komponen-komponen SMD disolder menggunakan mesin otomatis yang mempunyai tingkat presisi yang tinggi.

4. Komponen aktif yang bersifat ESD (*Electro Static Discharge*)

Transistor yang digunakan ini sangatlah sensitif terhadap arus statik, kemungkinan kinerja transistor tersebut melemah setelah terjadinya kontak langsung atau bersentuhan dengan benda lain yang ada di sekitarnya sehingga terjadinya pemindahan arus (*charge transfer*) ke transistor tersebut. Berikut ini adalah gambar peringatan ESD yang tertera pada *datasheet* transistor.
5. Terdapat loss pada kabel koaksial

Pada saluran transmisi pasti mempunyai loss beberapa dB, tingkat loss naik seiring bertambahnya ukuran saluran transmisi. Pada pengukuran LNA, digunakan kabel coaxial yang cukup besar untuk menghubungkan port VNA ke port rangkaian LNA. Berikut ini adalah gambar sambungan kabel coaxial pada port rangkaian LNA.

Gambar 4.52. Sambungan Kabel Coaxial Pada Port Rangkaian LNA

Berikut ini adalah tabel hasil perbandingan antara simulasi menggunakan perangkat lunak advanced design system dengan hasil pengukuran menggunakan vector network analyzer.

**Tabel 4.10. Hasil Perbandingan Antara Simulasi Dengan Pengukuran LNA**

<table>
<thead>
<tr>
<th>Parameter</th>
<th>Spesifikasi Awal</th>
<th>Hasil Simulasi</th>
<th>Pengukuran</th>
<th>Pengukuran Terbaik</th>
</tr>
</thead>
<tbody>
<tr>
<td>Frekuensi tengah</td>
<td>1,8425 GHz</td>
<td>1,8425 GHz</td>
<td>1,735 GHz</td>
<td>1,735 GHz</td>
</tr>
<tr>
<td>$S_{11}$ (input return loss)</td>
<td>&lt; -10 dB</td>
<td>-42,8449 dB</td>
<td>-3,141 dB</td>
<td>-7,2341 dB pada frekuensi 1,724 GHz</td>
</tr>
<tr>
<td>$S_{22}$ (output return loss)</td>
<td>&lt; -10 dB</td>
<td>-41,3785 dB</td>
<td>-7,188 dB</td>
<td>-7,2839 dB pada frekuensi 1,799 GHz</td>
</tr>
<tr>
<td>VSWR input</td>
<td>&lt; 2</td>
<td>1,0145</td>
<td>5,59</td>
<td>2,53 pada frekuensi 1,724 GHz</td>
</tr>
<tr>
<td>VSWR output</td>
<td>&lt; 2</td>
<td>1,0172</td>
<td>2,55</td>
<td>2,523 pada frekuensi 1,799 GHz</td>
</tr>
<tr>
<td>$S_{21}$ (gain)</td>
<td>&gt; 18 dB</td>
<td>33,3895 dB</td>
<td>12,92 dB</td>
<td>19,722 dB pada frekuensi 1,735 GHz</td>
</tr>
</tbody>
</table>
BAB V
KESIMPULAN DAN SARAN

V.1. Kesimpulan

Berdasarkan hasil perancangan, simulasi, fabrikasi dan analisis pengukuran, dapat diambil kesimpulan sebagai berikut:

1. Telah berhasil dilakukan perancangan singleband LNA pada jangkauan frekuensi 1,805 – 1,880 GHz menggunakan konfigurasi cascade 3 tingkat dan dengan pembiasan self bias menggunakan software ADS 2009, kemudian juga telah dilakukan fabrikasi dan dievaluasi kinerjanya.

2. Hasil perancangan telah memenuhi spesifikasi yang diharapkan yaitu pada jangkauan frekuensi 1,805 – 1,880 GHz memiliki nilai $S_{21}$ (gain) > 18 dB, noise figure < 1 dB, $S_{11}$ (Input Return Loss) dan $S_{22}$ (Output Return Loss) < -10 dB, VSWR input dan output < 2, kestabilan transistor > 1 dan impedansi input dan output $\approx 50 \Omega$.

3. Hasil simulasi pada frekuensi tengah 1,8425 GHz didapatkan nilai $S_{21}$ (gain) sebesar 33,3895 dB, noise figure 0.4835 dB, $S_{11}$ (Input Return Loss) -42,8449 dB, $S_{22}$ (Output Return Loss) -41,3785 dB, VSWR input 1,0145, VSWR output 1,0172, impedansi input 49,5536 – $j0,5617$ dan impedansi output 50,8480 + $j0,1461$.

4. Hasil pengukuran menggunakan VNA menunjukkan ketidaksesuaian dengan hasil simulasi menggunakan perangkat lunak ADS 2009. Hal ini disebabkan penggunaan nilai komponen yang mempunyai toleransi pada komponen LNA (tidak ideal seperti simulasi), timbulnya komponen parasitic, penyolderan komponen secara manual, komponen aktif yang digunakan bersifat ESD (Electro Static Discharge) serta kemungkinan terdapatnya loss kabel pada sambungan port VNA ke rangkaian LNA.
5. Hasil pengukuran terjadi pergeseran frekuensi, dimana hasil pengukuran terbaik tidak pada frekuensi tengahnya. Untuk pengukuran $S_{11}$ (*Input Return Loss*) sebesar -7,2341 dB pada frekuensi 1,724 GHz, pengukuran $S_{22}$ (*Output Return Loss*) sebesar -7,2839 dB pada frekuensi 1,799 GHz, pengukuran VSWR *input* sebesar 2,53 pada frekuensi 1,724 GHz, pengukuran VSWR *input* sebesar 2,523 pada frekuensi 1,799 GHz, dan pengukuran $S_{21}$ (*gain*) sebesar 19,722 dB pada frekuensi 1,735 GHz.

**V.2. Saran**

Dalam melakukan rancang bangun *low noise amplifier* ada beberapa saran yang ingin disampaikan, diantaranya:

1. Untuk mendesain *low noise amplifier* diperlukan sumber literatur yang komprehensif agar didalam perancangan tidak terjadi kesalahan dalam menentukan frekuensi kerja, *impedance matching network* serta nilai-nilai komponen untuk rangkaian LNA.

2. Dalam melakukan desain terlebih dahulu memahami spesifikasi dari jenis transistor yang akan digunakan menggunakan *datasheet* transistor.

3. Menggunakan peralatan anti statik untuk berkontak langsung dengan komponen aktif LNA. Karena dari kebanyakan *datasheet* transistor yang diaplikasikan khusus untuk *low noise amplifier* komponen aktif bersifat ESD (*Electro Static Discharge*).

4. Menggunakan nilai kapasitor *trimmer* pada rangkaian *input* dan *output matching*, agar dapat diatur nilai kapasitansinya.
DAFTAR PUSTAKA


Koringa, H. P., Joshi, B. D., & Shah, V. (2015). High power gain low noise amplifier design for next generation 1-7GHz wideband RF frontend RFIC using 0.18μm CMOS. In 19th International Symposium on VLSI Design and Test, VDAT 2015 - Proceedings. Institute of Electrical and Electronics Engineers Inc. https://doi.org/10.1109/ISVDAT.2015.7208105


Hariwibowo, Sulistyo., 2008, Skripsi: Perancangan LNA Untuk Mobile WiMax 802.16e Pada Pita Frekuensi 2.3 GHz, Jurusan Teknik Elektro Fakultas Teknik, Universitas Indonesia, Depok.


MENKOMINFO, 2015, Ketentuan Teknis Frekuensi Kerja BS LTE, akses online 15 Maret 2016, URL: http://www.inmetro.gov.br/barreirastecnicas/pontofocal/%5Cpontofocal%5Ctextos%5Cregulamentos%5CIDN_103_REV_1.pdf.


Raharjo, Dwi Muji., 2011, Tesis: Rancang Bangun Simultan Dual Band LNA Dengan LC-Resonator Matching Untuk CPE m-BWAPada Frekuensi 2,3 dan 2,6 GHz, Jurusan Teknik Elektro Fakultas Teknik, Universitas Indonesia, Depok.


Sulistyaningrum, Puspita., 2012, Skripsi: Perancangan Concurrent Multiband Low Noise Amplifier Menggunakan CMOS 0.18µm, Jurusan Teknik Elektro Fakultas Teknik, Universitas Indonesia, Depok.

Tim Penyusun KBBI, 2008, Kamus Besar Bahasa Indonesia, Jakarta: Departemen Pendidikan Nasional.